

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 9 月 10 日 (10.09.2004)

PCT

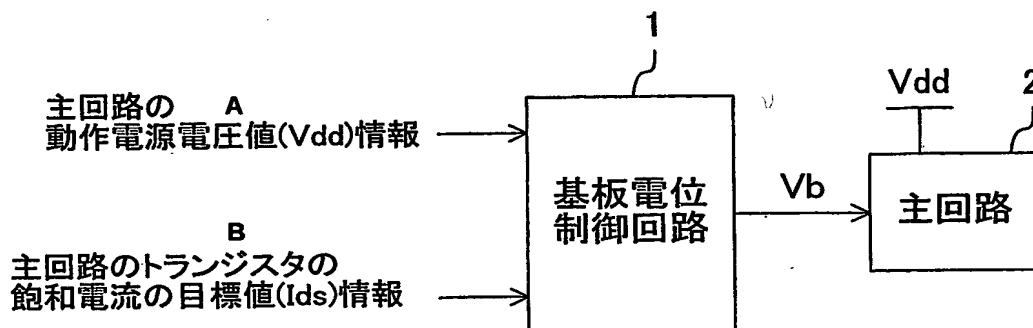
(10) 国際公開番号
WO 2004/077673 A1

- (51) 国際特許分類⁷: H03K 17/687, 19/094, H01L 27/088 (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒5500004 大阪府大阪市西区鞠本町 1 丁目 4 番 8 号 本町中島ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/001942
- (22) 国際出願日: 2004 年 2 月 19 日 (19.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-047418 2003 年 2 月 25 日 (25.02.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 崎山 史朗 (SAKIYAMA, Shiro). 木下 雅善 (KINOSHITA, Masayoshi). 炭田 昌哉 (SUMITA, Masaya).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU,

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



A...INFORMATION CONCERNING OPERATING POWER
SUPPLY VOLTAGE (Vdd) OF MAIN CIRCUIT
B...INFORMATION CONCERNING TARGET SATURATION
CURRENT VALUE (IdS) OF TRANSISTOR OF MAIN CIRCUIT
1...SUBSTRATE POTENTIAL CONTROLLING CIRCUIT
2...MAIN CIRCUIT

(57) Abstract: A semiconductor integrated circuit comprises a main circuit (2) which is composed of a MOS transistor wherein a source and a substrate are separated from each other. A substrate potential controlling circuit (1) controls the substrate potential of the MOS transistor of the main circuit (2) so that the actual saturation current value of the MOS transistor which constitutes the main circuit (2) becomes equal to a target saturation current value (IdS) of the main circuit (2) at the operating power supply voltage (Vdd). Consequently, even when the operating power supply voltage of the semiconductor integrated circuit is lowered, variations in the operating speed can be suppressed within a small range.

[続葉有]



MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 半導体集積回路において、主回路2は、ソースと基板とが分離されたMOSトランジスタで構成される。基板電位制御回路1は、主回路2を構成するMOSトランジスタの実際飽和電流値が、主回路2の動作電源電圧 V_{dd} の下での目標飽和電流値 I_{ds} となるように、主回路2のMOSトランジスタの基板電位を制御する。従って、半導体集積回路の動作電源電圧が低電圧化しても、動作速度のばらつきを小さく抑制できる。

明細書

半導体集積回路

技術分野

本発明は、ソースと基板とが分離された複数のMOSトランジスタにより構成される各種半導体集積回路において、その動作速度ばらつきを抑制する技術に関する。

背景技術

MOSトランジスタにより構成された半導体集積回路は、製造プロセスの微細化に伴うトランジスタ耐圧の低下や、低消費電力化の要望から、より低電圧動作が求められる。しかし、半導体集積回路の動作速度ばらつきは、一般に、低電圧動作を行うほど、トランジスタのしきい値電圧、酸化膜厚、移動度、加工精度といった製造プロセスのばらつき要因や、周囲温度の変動等により、大きくなる。この動作速度ばらつきは、半導体集積回路の歩留まりの劣化を引き起こし、コスト増を招くこととなる。

製造プロセスによって生じたしきい値電圧のばらつきを低減する方法としては、例えば特開平9-129831号公報に示されるトランジスタの基板電圧制御技術がある。この技術は、MOSトランジスタの基板電位を制御することにより、しきい値電圧を予め設定した電圧値に近づける技術である。

式1に、MOSトランジスタのしきい値電圧 V_t と基板電位 V_b の関係を示す。

$$V_t = V_{t0} + \gamma (\sqrt{\alpha - V_b}) \quad \dots (\text{式1})$$

前記式1において、 V_{t0} 、 α 、 γ は製造プロセスの出来栄に応じた定数である。 V_b はMOSトランジスタのソースと基板との電圧差であり、基板電位と

呼ぶ。式 1 から、基板電位 V_b を負の電圧に制御すれば、しきい値電圧 V_t は大きくなり、正の電圧に制御すれば、小さくなることが判る。図 14 を用いて、しきい値電圧 V_t のばらつきに対する基板電位 V_b の制御電圧の関係を簡単に説明する。しきい値電圧 V_t のばらつき範囲 ($V_{1-} \sim V_{1+}$) に対して、しきい値電圧 V_t を全て所定値 V_1 となるように制御する場合を考える。この場合、しきい値電圧 V_t が所定値 V_1 のときには基板電位 V_b を 0 V に、ばらつき下限値 V_{1-} のときには基板電位 V_b を V_- (V) に、ばらつき上限値 V_{1+} のときには基板電位 V_b を V_+ (V) に設定すれば、しきい値電圧 V_t を所定値 V_1 に調整することができる。回路構成としては、レファレンス電圧として所定値 V_1 を生成し、MOS トランジスタのしきい値電圧 V_t がこの所定値 V_1 となるように、基板電位 V_b をフィードバック制御すれば良い。

このように前記従来技術によれば、これに示される構成を採用して、しきい値電圧 V_t のばらつきを抑制することができる。

解決課題

しかし、MOS トランジスタを用いた半導体集積回路の動作速度ばらつきは、このしきい値電圧 V_t 以外にも、酸化膜厚、移動度、加工精度といった他の製造プロセスのばらつき要因や、半導体集積回路の周囲温度の変動、動作電源電圧の精度ばらつきによっても生じる。

以下、MOS トランジスタ回路の動作速度ばらつきについて簡単に説明する。

MOS トランジスタ回路の動作速度（遅延時間）は、式 2 で示される。

$$\tau = C \cdot V_{dd} / I_{ds} \quad \dots (\text{式 } 2)$$

前記式 2 において、 τ は論理ゲート等の MOS トランジスタ回路の遅延時間、 C は負荷容量、 V_{dd} は MOS トランジスタ回路の動作電源電圧、 I_{ds} はその動作電源電圧の下での MOS トランジスタの飽和電流値である。従って、MOS トランジスタ回路の動作速度を一定とするためには、MOS トランジスタの飽和

電流値 I_{ds} のばらつきを抑えることが、重要課題となる。

ところで、一般に、MOSトランジスタの飽和電流の式は、式3で示される。

$$I_{ds} = (1/2) \mu C_{ox} (W/L) (V_{dd} - V_t)^2 \quad \dots (式3)$$

前記式3において、 I_{ds} はMOSトランジスタの飽和電流値、 μ は移動度、 C_{ox} は単位面積当りのゲート容量、 W はMOSトランジスタのゲート幅、 L はMOSトランジスタのゲート長、 V_{dd} はMOSトランジスタ回路の動作電源電圧、 V_t はMOSトランジスタのしきい値電圧である。

前記式3から判るように、MOSトランジスタの飽和電流 I_{ds} がばらつく要因としては、しきい値電圧 V_t のばらつき以外にも、イオン注入量精度による移動度 μ のばらつき、ゲート酸化膜厚精度によるゲート容量 C_{ox} のばらつき、加工精度による W/L のばらつき等があり、更には動作時の周囲温度によるしきい値電圧 V_t 変動や移動度 μ の変動も挙げられる。

図13 (a)、(b) 及び (c) を用いて、各ばらつきに起因するMOSトランジスタの飽和電流 I_{ds} の変動について説明する。

図13 (a) は、式3におけるしきい値電圧 V_t のみ変動した場合の動作電源電圧 V_{dd} に対するMOSトランジスタの飽和電流 I_{ds} の特性を示す。所定の中電圧のしきい値電圧 V_t に対してしきい値電圧 V_t が大きい場合には、グラフは動作電源電圧 V_{dd} の正の方向にシフトし、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は減少する。一方、逆に、しきい値電圧 V_t が小さい場合には、グラフは動作電源電圧 V_{dd} の負の方向にシフトし、動作電源電圧 V_{dd1} でのMOSトランジスタの飽和電流値 I_{ds} は増大する。

図13 (b) は、前記式3における値 $\mu C_{ox} (W/L)$ が変動した場合の動作電源電圧 V_{dd} に対するMOSトランジスタの飽和電流 I_{ds} の特性である。中程度の値 $\mu C_{ox} (W/L)$ に対して値 $\mu C_{ox} (W/L)$ が大きい場合には、放物線の傾きが大きくなり、動作電源電圧 V_{dd1} でのMOSトランジスタの飽

和電流値 I_{ds} は増大する。また、逆に、値 μC_{ox} (W/L) が小さい場合には、放物線の傾きが小さくなり、動作電源電圧 V_{dd1} での MOS トランジスタの飽和電流値 I_{ds} は減少する。

図 13 (c) は、周囲温度が変動した場合の動作電源電圧 V_{dd} に対する MOS トランジスタの飽和電流 I_{ds} の特性を示す。前記式 3 において、移動度 μ 及びしきい値電圧 V_t は温度特性を有し、一般に、温度が高くなると移動度 μ 及びしきい値電圧 V_t は共に減少する。従って、比較的高い動作電源電圧 V_{dd1} の下では、温度が高くなると、移動度 μ の減少の影響が大きいため、MOS トランジスタの飽和電流値 I_{ds} は減少する。しかし、低い動作電源電圧 V_{dd2} の下では、温度が高くなると、しきい値電圧 V_t の減少の影響が大きいため、MOS トランジスタの飽和電流値 I_{ds} は増大する。このように飽和電流値 I_{ds} は、温度変動に対しては、動作電源電圧値 V_{dd} の違いによって相反した特性を示す。

このように、MOS トランジスタの飽和電流値 I_{ds} の特性は、しきい値電圧 V_t 以外にも様々なばらつき要因があり、前記従来技術に記載されたしきい値電圧 V_t のばらつき抑制技術だけでは、MOS トランジスタ回路の動作速度ばらつきを十分に抑制することができないことが判る。

発明の開示

以上のことから、本発明の目的は、半導体集積回路において、しきい値電圧 V_t だけでなく、例えば移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、ゲート幅 W とゲート長 L との比 W/L の変動等の MOS トランジスタの製造プロセスのばらつきや、動作時での周囲温度の変化に拘わらず、MOS トランジスタを備えた主回路の動作速度のばらつきを効果的に抑制して、半導体集積回路の歩留まりの向上、及び動作速度仕様の向上を図ることにある。

前記の目的を達成するため、本発明では、主回路を構成する MOS トランジス

タの実際飽和電流値をほぼ一定値に制御し、そのばらつき自体を抑制して、半導体集積回路の動作速度仕様の向上を図る。

具体的に、本発明の半導体集積回路は、ソース電位と基板電位とが分離されたMOS構造の複数個のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、前記基板電位制御回路は、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの目標飽和電流値が設定され、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路の各MOSトランジスタの基板電位を制御することを特徴とする。

本発明は、前記半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にあることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と1次関数の関係にあることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路は、複数の動作電源電圧範囲を持ち、前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、前記目標飽和電流値と動作電源電圧値との1次関数の関係は、各動作電

源電圧範囲毎に、相互に異なることを特徴とする。

本発明は、前記半導体集積回路において、前記基板電位制御回路は、前記主回路を構成するMOSトランジスタのうち、nMOSトランジスタの基板電位又はpMOSトランジスタの基板電位を制御することを特徴とする。

本発明の半導体集積回路は、ソース電位と基板電位とが分離されたMOS構造の複数個のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が目標飽和電流値と一致するように、前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、前記基板電位制御回路は、定電流発生回路と、MOSトランジスタを内蔵し、前記内蔵MOSトランジスタの基板電位に応じて変化する電流-電圧変換特性を有し、前記定電流発生回路の定電流値を電圧値に変換する電流-電圧変換回路と、前記電流-電圧変換回路により変換された電圧値が、前記主回路の所定動作電源電圧値に等しくなるように、前記電流-電圧変換回路の基板電位を制御する差動増幅回路とを備えて、前記主回路を構成する各MOSトランジスタの基板電位を、前記差動増幅回路により制御された前記電流-電圧変換回路の基板電位と等しくなるように制御することを特徴とする。

本発明は、前記半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にあることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、前記定電流発生回路の定電流値は、前記

動作電圧範囲内の動作電源電圧値と 1 次関数の関係にあることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路は、複数の動作電源電圧範囲を持ち、前記定電流発生回路の定電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と 1 次関数の関係にあり、前記定電流発生回路の定電流値と動作電源電圧値との 1 次関数の関係は、各動作電源電圧範囲毎に、相互に異なることを特徴とする。

本発明は、前記半導体集積回路において、前記定電流発生回路は、複数種類の定電流値を発生し、この複数種類の定電流値の中から 1 つを選択して出力することを特徴とする。

本発明は、前記半導体集積回路において、前記定電流発生回路は、前記主回路を構成する MOS トランジスタの実際飽和電流値のばらつき割合よりも小さいばらつき割合で、定電流を発生することを特徴とする。

本発明は、前記半導体集積回路において、前記定電流発生回路は、発生する定電流値のばらつきを小さくする調整回路を備えることを特徴とする。

本発明の半導体集積回路は、MOS 構造の複数個のトランジスタにより構成され、動作電源電圧を受けて動作する主回路と、前記主回路に与える動作電源電圧を制御する電源電圧制御回路とを備え、前記電源電圧制御回路は、前記主回路の MOS トランジスタの目標飽和電流値が設定され、前記主回路の MOS トランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路に与える動作電源電圧の電圧値を制御することを特徴とする。

本発明は、前記半導体集積回路において、前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路を構成するMOSトランジスタのうち、nMOSトランジスタの目標飽和電流値、pMOSトランジスタの目標飽和電流値、又はこのnMOS及びpMOSトランジスタの両目標飽和電流値の平均値であることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路に与える動作電源電圧と1次関係にあることを特徴とする。

本発明は、前記半導体集積回路において、前記主回路は、複数の動作電源電圧範囲を持ち、前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、前記目標飽和電流値と動作電源電圧値との1次関数の関係は、各動作電源電圧範囲毎に、相互に異なることを特徴とする。

以上により、本発明では、主回路のMOSトランジスタの動作速度（遅延時間）は、MOSトランジスタの飽和電流の関数であるところ、主回路の動作時には、基板電位制御回路がMOSトランジスタの基板電位を制御して、MOSトランジスタの実際飽和電流を目標飽和電流値に一致させる。従って、MOSトランジスタの製造プロセスのばらつきに起因して、しきい値電圧や、移動度 μ 、単位面積当たりのゲート容量 C_{ox} 、ゲート幅 W とゲート長 L との比 W/L の変動があったり、主回路の動作時での周囲温度の変化があっても、これの変動や変化に起因して本来は変動するMOSトランジスタの飽和電流が前記目標値にほぼ一定制御されるので、主回路のMOSトランジスタの動作速度のばらつきを有効に抑制することができる。

また、本発明では、MOSトランジスタの動作速度は、式2から判るように、動作電源電圧 V_{dd} とMOSトランジスタの実際飽和電流 I_{ds} との関係(V_{dd}/I_{ds})に比例するが、主回路の動作電源電圧が変動しても、この変動に比例して目標飽和電流値が変更されるので、主回路の動作電源電圧の変動に対するMOSトランジスタの動作速度のばらつきをも有効に抑制することができる。この効果は、特に、インバータ回路に対して有効である。

特に、本発明では、目標飽和電流値と主回路の動作電源電圧との関係が1次関数の関係に設定されているので、主回路の動作速度をほぼ一定値とすることができ、動作速度のばらつきをより一層有効に抑制することができる。この効果は、特に、メモリや多段積みされた論理回路に対して有効である。

更に、本発明では、主回路の動作電源電圧範囲が、その動作モードなどに応じて複数存在する場合には、その各動作電源電圧範囲毎に、目標飽和電流値と主回路の動作電源電圧との関係が1次関数の関係に設定されているので、主回路の動作電源電圧範囲毎に、その動作速度のばらつきを有効に抑制することが可能である。特に、各種動作モード別に動作電源電圧が異なる主回路に対して、有効である。

加えて、本発明では、制御されない場合のMOSトランジスタの飽和電流のばらつき割合に対して、目標飽和電流値のばらつき割合が十分小さいので、主回路の動作速度のばらつきを小さく抑制できる効果が得られる。

また、本発明では、目標飽和電流値のばらつきを小さくする調整回路が備えられるので、この調整回路により、目標飽和電流値のばらつきが一層小さく制限されて、主回路の動作速度のばらつきをより一層小さく抑制できる。

更に、本発明では、主回路に備えるMOSトランジスタの製造ばらつきに起因して単位面積当りのゲート容量やゲート幅、移動度などが種々ばらついても、遅

延時間を一定にできて、少ないマージン設計が可能となるので、従来のように移動度などの各種ばらつきを考慮して主回路の動作電源電圧を高く設定する必要がなく、小さな電源マージンのみを確保した動作電源電圧とすることができて、主回路の低電圧での動作を可能にでき、より一層の低電力化が図れる。特に、本発明では、主回路の各動作モードに対応する各動作電源電圧範囲毎に、小さな電源マージンの動作電源電圧が設定されるので、主回路の低電圧動作が全ての動作モードで可能になって、より一層の低電力動作が可能である。

図面の簡単な説明

図 1 は本発明の第 1 の実施の形態の半導体集積回路の基本構成を示す図である。

図 2 は目標飽和電流値と主回路の動作電源電圧との関係を示し、(a) は主回路の動作電圧範囲内で目標飽和電流値が一定の場合を示す図、(b) は主回路の動作電圧範囲内で目標飽和電流値が動作電源電圧に対して比例関係にある場合を示す図、(c) は主回路の動作電圧範囲内で目標飽和電流値が所定のオフセットを持って動作電源電圧に対して比例関係にある場合を示す図、(d) は主回路の動作電圧範囲が 2 種類ある場合を示す図である。

図 3 は同実施の形態の半導体集積回路に備える基板電位制御回路の具体的構成を示す図である。

図 4 は同半導体集積回路に備える主回路の具体的構成の一例を示す図である。

図 5 は同半導体集積回路の主回路を構成する nMOS トランジスタの実際飽和電流をその基板電位によって制御する基板電位制御回路を示す図である。

図 6 は同半導体集積回路の主回路を構成する pMOS トランジスタの実際飽和電流をその基板電位によって制御する基板電位制御回路を示す図である。

図 7 (a) は同基板電位制御回路に備える定電流発生回路の内部構成を示す図、同図 (b) は同定電流発生回路の第 1 の変形例を示す図、同図 (c) は同定電流発生回路の第 2 の変形例を示す図、同図 (d) は同定電流発生回路の第 3 の変形

例を示す図である。

図 8 は同定電流発生回路の定電流値と主回路の動作電源電圧との関係を示し、同図 (a) は主回路の動作電圧範囲内で定電流値が一定の場合を示す図、同図 (b) は主回路の動作電圧範囲内で定電流値が動作電源電圧に対して比例関係にある場合を示す図、同図 (c) は主回路の動作電圧範囲内で定電流値が所定のオフセットを持って動作電源電圧に対して比例関係にある場合を示す図、同図 (d) は主回路の動作電圧範囲が 2 種類ある場合を示す図である。

図 9 (a) は出力電流値の調整機能を持った定電流発生回路の内部構成を示す図、同図 (b) は同定電流発生回路の第 1 の変形例を示す図である。

図 10 は主回路を構成する nMOS トランジスタの基板電圧を制御する基板電位制御回路に備える電流-電圧変換回路の構成を示し、同図 (a) は基本構成を示す図、同図 (b) は第 1 の変形例を示す図、同図 (c) は第 2 の変形例を示す図である。

図 11 (a) は主回路を構成する MOS トランジスタの実際飽和電流を一定値とした場合において、温度等の各種ばらつき要因に対する同 MOS トランジスタの基板電位と主回路の動作電源電圧との関係を示す図、同図 (b) は電流-電圧変換回路に備える MOS トランジスタの飽和電流を一定値とした場合において、温度等の各種ばらつき要因に対して同電流-電圧変換回路に求められる同 MOS トランジスタの基板電位と出力電圧との関係を示す図である。

図 12 は主回路を構成する pMOS トランジスタ用の基板電位制御回路の電流-電圧変換回路の構成を示し、同図 (a) は基本構成を示す図、同図 (b) は第 1 の変形例を示す図、同図 (c) は第 2 の変形例を示す図である。

図 13 は MOS トランジスタにおける電源電圧に対する飽和電流特性を示し、同図 (a) はしきい値電圧が変動した場合の特性図、同図 (b) は $\mu C_{ox} (W/L)$ (μ は移動度、 C_{ox} は単位面積当りのゲート容量、 W 及び L は各々 MOS トランジスタのゲート幅及びゲート長) が変動した場合の特性図、同図 (c)

は周囲温度が変動した場合の特性図を示す。

図14はMOSトランジスタのしきい値電圧と基板電位との関係を示す図である。

図15は本発明の第2の実施の形態の半導体集積回路の基本構成を示す図である。

図16は同実施の形態の半導体集積回路に備える電源電圧制御回路の内部構成を示す図である。

図17は同電源電圧制御回路の具体的構成の一例を示す図である。

図18は同電源電圧制御回路の具体的構成の他の例を示す図である。

図19は同電源電圧制御回路の具体的構成の更に他の例を示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態の半導体集積回路を図面を参照しながら説明する。

(第1の実施の形態)

図1は本実施の形態の半導体集積回路の構成を示す。同図において、2は主回路であって、動作電源電圧 V_{dd} を受けて動作すると共に、多数のMOSトランジスタ（図示せず）を備えて構成される。これ等のMOSトランジスタは、各々、そのソースと基板が電氣的に接続されずに、ソース電位と基板電位とが分離されている。

また、1は基板電位制御回路であって、前記主回路2の動作電源電圧 V_{dd} の情報と、この動作電源電圧 V_{dd} の下で動作する主回路2のMOSトランジスタの目標飽和電流値 I_{ds} の情報とが与えられている。この基板電位制御回路1は、主回路2の動作電源電圧 V_{dd} の下での主回路2のMOSトランジスタの実際飽和電流が、前記与えられた目標飽和電流値 I_{ds} となるように、主回路2を構成するMOSトランジスタの基板電位 V_b を制御する。

従って、基板電位制御回路 1 は、主回路 2 の MOS トランジスタの実際飽和電流値が常に目標飽和電流値 I_{ds} となるように、基板電位 V_b を制御するので、MOS トランジスタの製造プロセスのばらつきや、温度変動が生じて、主回路 2 は常に一定の動作速度で動作する。

このように、本実施の形態では、前記式 2 に示す遅延時間 τ を決定する MOS トランジスタの飽和電流値 I_{ds} のばらつきそのものを、MOS トランジスタの基板電位制御により抑制することに特徴がある。

図 2 (a) ~ (d) は、図 1 に示した半導体集積回路における主回路 2 の動作電源電圧 V_{dd} と目標飽和電流値 I_{ds} との関係の各種バリエーションを示す。

図 2 (a) は、MOS トランジスタの目標飽和電流値 I_{ds} を主回路 2 の動作電源電圧 V_{dd} に関係なく一定とした例を示す。前記式 2 で示されるように、MOS トランジスタの飽和電流値 I_{ds} が一定であると仮定した場合、MOS トランジスタ回路の遅延時間 τ は、動作電源電圧 V_{dd} に比例して増大する。しかし、主回路 2 の電源電圧の精度が高い場合には、遅延ばらつきは小さく、従って本実施の形態は非常に有効である。

図 2 (b) は、MOS トランジスタの目標飽和電流値 I_{ds} と主回路 2 の動作電源電圧 V_{dd} との関係を比例関係とした例を示す。本関係では、主回路 2 の動作電源電圧 V_{dd} が変化しても、主回路 2 の動作速度をほぼ一定にできるという格別の効果を持つ。前記式 2 から判るように、MOS トランジスタ回路の動作速度を一定とするには、MOS トランジスタの飽和電流値 I_{ds} のばらつきを少なくすることは勿論であるが、式 5 に示すように、動作電源電圧 V_{dd} と比例関係にある飽和電流値 I_{ds} を目標値とすることがより望ましい。

$$I_{ds} = k \cdot V_{dd} \quad (5)$$

式 5 において、 I_{ds} は MOS トランジスタの飽和電流値、 k は定数、 V_{dd}

は主回路 2 の動作電源電圧である。式 5 を式 2 に代入すると、遅延時間 τ は、 C/k となり、MOS トランジスタの特性ばらつきや温度変動、更には動作電源電圧 V_{dd} にも依存せず、一定の動作速度が得られることが判る。但し、式 2 は、インバータ回路等の単純なロジック回路に対して有効な近似式である。

メモリや、多段積みしたロジック回路等では、遅延時間 τ が、多段積みされた MOS トランジスタの飽和電流だけでなく、オン抵抗にも影響するので、図 2 (c) に示すように、各回路毎に、動作電源電圧の変動に対して一定の動作速度を得るための最適な 1 次関数の関係を設定するのが良い。図 2 (c) は、MOS トランジスタの目標飽和電流値 I_{ds} と主回路 2 の動作電源電圧 V_{dd} との関係を、オフセット電流 I_{ds0} を加えた比例関係とした例を示す。

図 2 (d) は、主回路 2 が複数の（同図では 2 つ）の異なる動作電源電圧範囲を有する場合に、第 1 及び第 2 の各動作電源電圧範囲毎に、目標飽和電流値 I_{ds} が主回路 2 の動作電源電圧 V_{dd} に対して 1 次関数の関係にあり、且つこの各動作電源電圧範囲毎の 1 次関数の関係（1 次関数の傾き）が相互に異なることを例示している。主回路 2 に与える動作電源電圧 V_{dd} が例えば 2 種類あり、各々の動作電源電圧に対して動作速度仕様が異なる場合には、図 2 (d) で例示するグラフの関係に設定すれば、消費電力の面、特にトランジスタのリーク電流の削減の面でより効果的である。

図 3 は、図 1 に示した半導体集積回路における基板電位制御回路 1 の具体的な構成例を示す。図 3 に示した半導体集積回路は、図 1 と同様に、基板電位制御回路 1 と、主回路 2 とを備える。

そして、前記基板電位制御回路 1 は、定電流発生回路 1-1 と、基板電位発生回路 1-2 と、電流-電圧変換回路 1-3 とを備える。電流-電圧変換回路 1-3 は、MOS トランジスタを内蔵し、その基板電位 V_b を変更して、電流-電圧変換特性を

変更することが可能である。定電流発生回路 1-1 は定電流 I_d を出力し、定電流 I_d は前記電流-電圧変換回路 1-3 に入力される。電流-電圧変換回路 1-3 は、この定電流 I_d を電圧 V_d に変換して、基板電位発生回路 1-2 に出力する。基板電位発生回路 1-2 は、主回路 2 の動作電源電圧 V_{dd} と、前記電流-電圧変換回路 1-3 の変換電圧 V_d とを受け、この動作電源電圧 V_{dd} と変換電圧 V_d とが一致するように、電流-電圧変換回路 1-3 に対し基板電位 V_b の信号を出力し、電流-電圧変換回路 1-3 は、この受けた基板電位 V_b に基づいて電流-電圧変換特性を変更する。基板電位発生回路 1-2 が発生した基板電位 V_b は、主回路 2 を構成する MOS トランジスタの基板電位 V_b として、主回路 2 に供給される。

図 3 に示した基板電位制御回路 1 は、主回路 2 を構成する nMOS トランジスタ及び pMOS トランジスタの両方の基板電位制御に対して有効である。次に、説明を簡単化するために、主回路 2 を構成する nMOS トランジスタに対する基板電位制御回路と、pMOS トランジスタに対する基板電位制御回路とに分けて、以下説明する。

先ず、主回路 2 の内部構成例を図 4 を用いて説明する。同図は、主回路 2 が複数のインバータ回路 I_1 、 I_2 …で構成される場合を例示している。 $2n-1 \sim 2n-2$ はソース電位と基板電位とが分離された nMOS トランジスタを、 $2p-1 \sim 2p-2$ は同様にソース電位と基板電位とが分離された pMOS トランジスタを各々示している。nMOS トランジスタ $2n-1 \sim 2n-2$ の基板電位には電位 V_{bn} が、pMOS トランジスタ $2p-1 \sim 2p-2$ の基板電位には電位 V_{bp} が各々与えられている。既述した式 1 に示したように、nMOS トランジスタ $2n-1 \sim 2n-2$ のしきい値電圧 V_{tn} は、基板電位 V_{bn} を制御することにより変更可能であり、また pMOS トランジスタ $2p-1 \sim 2p-2$ のしきい値電圧 V_{tp} は、基板電位 V_{bp} を制御することにより変更可能である。従って、nMOS トランジスタ $2n-1 \sim 2n-2$ の飽和電流 $I_{ds}(n)$ 、及び pMOS トランジ

スタ 2 p-1 ~ 2 p-2 の飽和電流 $I_{ds}(p)$ もまた、各々、基板電位 V_{bn} 、 V_{bp} を制御することにより、変更することが可能である。

次に、図 5 は、主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の飽和電流を制御するための基板電位制御回路 1-1 の内部構成例を示した半導体集積回路を示す。図 5 は、図 1 と同様に、nMOS トランジスタ 2 n-1 ~ 2 n-2 を備えた主回路 2 と、この主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 用の基板電位制御回路 1 n とから構成されている。基板電位制御回路 1 n は、定電流源（定電流発生回路）1 n-1 と、オペアンプ（差動増幅器）1 n-2 と、電流-電圧変換回路 1 n-3 とを備える。定電流源 1 n-1 から出力される定電流 I_{dn} は電流-電圧変換回路 1 n-3 に与えられる。この電流-電圧変換回路 1 n-3 は、前記定電流源 1 n-1 が出力した定電流 I_{dn} を所定の電流-電圧変換特性に基づいて電圧 V_{dn} に変換する。前記オペアンプ 1 n-2 は、前記電流-電圧変換回路 1 n-3 によって変換された変換電圧 V_{dn} と、主回路 2 の動作電源電圧 V_{dd} とを受け、この両電圧 V_{dn} 、 V_{dd} が一致するように、電流-電圧変換回路 1 n-3 の基板電位 V_{bn} を制御すると共に、この制御した基板電位 V_{bn} を主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の基板電位 V_{bn} として、主回路 2 にも供給する。

前記電流-電圧変換回路 1 n-3 は、nMOS トランジスタ 3 n-1 により構成されている。この nMOS トランジスタ 3 n-1 は、その基板電位 V_{bn} と動作電源電圧 V_{dd} との間の特性が、主回路 2 で使用される nMOS トランジスタ 2 n-1 ~ 2 n-2 と等しいことが望ましい。例えば、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 において、そのゲート長 L が $0.13 \mu\text{m}$ 、動作電源電圧 V_{dd} が 1.5 V 、 $W/L = 3 \mu\text{m}/0.13 \mu\text{m}$ である場合に、その飽和電流値 $I_{ds}(n)$ が 2 mA であったとすると、電流-電圧変換回路 1 n-3 で使用する nMOS トランジスタ 3 n-1 としては、 $W/L = 3 \mu\text{m}/0.13 \mu\text{m}$ のサイズ

のものをを用いることが望ましい。前記電流-電圧変換回路 1 n-3 の nMOS トランジスタ 3 n-1 は、そのゲートとドレインとが直結され、そのドレイン側から定電流源回路 1 n-1 で発生した定電流 I_{dn} を流す。この定電流値 I_{dn} は、前記数値例示では、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 の飽和電流値 $I_{ds}(n)$ が 2 mA @ 1.5 V であるので、目標飽和電流値として、この 2 mA @ 1.5 V を設定する。

オペアンプ 1 n-2 は、電流-電圧変換回路 1 n-3 から出力された変換電圧 V_{dn} が主回路 2 の動作電源電圧 V_{dd} と等しくなるように、電流-電圧変換回路 1 n-3 の nMOS トランジスタ 3 n-1 の基板電位 V_{bn} を制御する。この制御された基板電位 V_{bn} は、主回路 2 を構成する nMOS トランジスタ 2 n-1 ~ 2 n-2 の基板電位 V_{bn} として、主回路 2 にも供給される。従って、動作電源電圧 $V_{dd} = 1.5$ V のときの主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の実際飽和電流 $I_{ds}(n)$ が 2 mA となるように、主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の基板電位 V_{bn} が制御される。定電流源 1 n-1 の定電流 I_{dn} が動作電源電圧 V_{dd} の変動に依存せず、一定電流を保持する場合には、主回路 2 の nMOS トランジスタ 2 n-1 ~ 2 n-2 の飽和電流値 $I_{ds}(n)$ は、動作電源電圧 V_{dd} に依存せずに、一定値に制御される。

続いて、主回路 2 を構成する pMOS トランジスタ 2 p-1 ~ 2 p-2 の飽和電流を制御するための基板電位制御回路 1 の構成を図 6 に基づいて説明する。

図 6 は、図 1 と同様に、pMOS トランジスタ 2 p-1 ~ 2 p-2 を備えた主回路 2 と、その pMOS トランジスタ 2 p-1 ~ 2 p-2 用の基板電位制御回路 1 p とから構成されている。基板電位制御回路 1 p は、定電流源 1 p-1 と、オペアンプ 1 p-2 と、内部に pMOS トランジスタ 3 p-1 を有する電流-電圧変換回路 1 p-3 とから構成される。定電流源 1 p-1 から出力される定電流 I_{dp} は、電流-電圧変換回路 1 p-3 に与えられる。オペアンプ 1 p-2 は、電流-電圧変換回路

1 p-3により変換された変換電圧 V_{dp} と、主回路2の動作電源電圧 V_{dd} とが等しくなるように、電流-電圧変換回路1 p-3のpMOSトランジスタ3 p-1の基板電位 V_{bp} を制御すると共に、この制御された基板電位 V_{bp} を、主回路2のpMOSトランジスタ2 p-1～2 p-2の基板電位 V_{bp} として、主回路2にも供給する。

前記電流-電圧変換回路1 p-3において、pMOSトランジスタ3 p-1は、その基板電位 V_{bp} と飽和電流値 $I_{ds}(p)$ との関係特性が、主回路2を構成するpMOSトランジスタ2 p-1～2 p-2の特性と等しいことが望ましい。例えば、主回路2を構成するpMOSトランジスタ2 p-1～2 p-2において、そのゲート長 L が0.13 μm 、動作電源電圧 V_{dd} が1.5 V、 $W/L=3 \mu\text{m}/0.13 \mu\text{m}$ である場合に、その飽和電流値 $I_{ds}(p)$ が1 mAであったとすると、電流-電圧変換回路1 p-3で使用するpMOSトランジスタ3 p-1は、 $W/L=3 \mu\text{m}/0.13 \mu\text{m}$ のサイズのものを用いることが望ましい。電流-電圧変換回路1 p-3のpMOSトランジスタ3 p-1は、そのゲートとドレインとが直結され、そのソース側から、定電流源回路1 p-1から発生した定電流 I_{dp} を流す。この定電流値 I_{dp} は、主回路2のpMOSトランジスタ2 p-1～2 p-2の飽和電流値 $I_{ds}(p)$ が前記数値例では1 mAであるので、目標飽和電流値として、1 mA@1.5 Vを設定する。

前記基板電位制御回路1 pにおいて、オペアンプ1 p-2は、電流-電圧変換回路1 p-3の変換電圧 V_{dp} が動作電源電圧 V_{dd} と等しくなるように、電流-電圧変換回路1 p-3のpMOSトランジスタ3 p-1の基板電位 V_{bp} を制御し、この制御された基板電位 V_{bp} は、主回路2のpMOSトランジスタ2 p-1～2 p-2の基板電位 V_{bp} として、主回路2にも供給される。従って、主回路2では、動作電源電圧 $V_{dd}=1.5 \text{ V}$ のときに、pMOSトランジスタ2 p-1～2 p-2の実際飽和電流 $I_{ds}(p)$ が1 mAとなるように、その基板電位 V_{bp} が制

御される。定電流源 1 p-1 の定電流 I_{dp} が動作電源電圧 V_{dd} の変動に依存せず、一定電流である場合は、主回路 2 の動作電源電圧 V_{dd} の変動に依存せず、その pMOS トランジスタ 2 p-1 ~ 2 p-2 の飽和電流 $I_{ds}(p)$ は一定値に制御される。

(基板電位制御回路の定電流発生回路の変形例)

図 7 (a) ~ (d) は、基板電位制御回路 1 の定電流発生回路 1-1 の各種変形例を示している。これらの定電流発生回路は、前記定電流発生回路 1 n-1、1 p-1 の何れにも使用可能である。

図 7 (a) の定電流発生回路 1-1 a は、主回路 2 の動作電源電圧 V_{dd} を含む動作電源電圧範囲内で、目標飽和電流値 I_{ds} を常に一定値とする回路例である。本回路の動作電源電圧と定電流発生回路 1-1 a の定電流値 I_d (目標飽和電流値) との関係を図 8 (a) に示す。図 7 (a) の定電流発生回路 1-1 a は、基準電圧発生回路 1 1 と、オペアンプ 2 1 と、抵抗値 R の抵抗 3 1 と、2 個の pMOS トランジスタ 4 1、4 2 とにより構成されている。両 pMOS トランジスタ 4 1、4 2 のソースには、動作電源電圧 V_{dd} よりも高電圧 V_o が供給され、一方の pMOS トランジスタ 4 1 には前記抵抗 3 1 の一端が接続され、その抵抗 3 1 の他端は接地されている。他方の pMOS トランジスタ 4 2 のドレインは、本回路 1-1 a の出力端である。オペアンプ 2 1 は、抵抗 3 1 の接地端とは異なる一端の電圧値が、基準電圧発生回路 1 1 の出力電圧値 V_r と等しくなるように、pMOS トランジスタ 4 1 のゲートを制御する。pMOS トランジスタ 4 1、4 2 は同サイズであり、双方の pMOS トランジスタ 4 1、4 2 には同一値の電流が流れるので、pMOS トランジスタ 4 2 は、 $I_d = V_r / R$ の一定電流 I_d を出力する。

図 7 (b) ~ 図 7 (d) は、定電流発生回路 1-1 b ~ 1-1 d の他の変形例を

示す。出力する定電流 I_d の値、すなわち、目標飽和電流値 I_{ds} を、常に一定値には設定せず、主回路 2 の動作電源電圧 V_{dd} の変化に応じて変更して、複数種類とし、そのうち主回路 2 の実際の動作電源電圧 V_{dd} に応じた 1 つの定電圧値を選択して出力する構成を有するものである。

すなわち、図 7 (b) の定電流発生回路 1-1 b は、主回路 2 の動作電源電圧範囲に対し、目標飽和電流値 I_{ds} と主回路 2 の動作電源電圧 V_{dd} との関係が比例する回路例を示す。本回路の動作電源電圧 V_{dd} と目標飽和電流（定電流発生回路 1-1 a の定電流値 I_d ）との関係を図 8 (b) に示す。

図 7 (b) の定電流発生回路 1-1 b は、オペアンプ 21 と、抵抗値 R の抵抗 31 と、2 個の pMOS トランジスタ 41、42 と、2 個の nMOS トランジスタ 51、52 とにより構成されている。抵抗 31 の一端には主回路 2 の動作電源電圧 V_{dd} が供給されている。pMOS トランジスタ 41、42 のソースには動作電源電圧 V_{dd} よりも高電圧 V_o が供給され、nMOS トランジスタ 51、52 のソースには所定の負電圧 $-V_s$ が供給される。オペアンプ 21 は、抵抗 31 の他端が、接地電位 V_{ss} 、つまり 0 V となるように、2 個の nMOS トランジスタ 51、52 のゲートを制御する。この nMOS トランジスタ 51、52 は相互に同サイズ、pMOS トランジスタ 41、42 も同サイズとした場合は、これらの全トランジスタには同一値の電流が流れるので、pMOS トランジスタ 42 は、 $I_d = V_{dd}/R$ の電流 I_d を出力する。図 7 (b) に示す回路の場合、目標飽和電流値 I_d は、主回路 2 の動作電源電圧 V_{dd} に対して、比例関係となる。

図 7 (c) の定電流発生回路 1-1 c は、主回路 2 の動作電源電圧範囲に対し、目標飽和電流値 I_{ds} と主回路 2 の電源電圧値との関係を一次関数とする回路例である。本回路の電源電圧と飽和電流との関係を図 8 (c) に示す。

図 7 (c) の定電流発生回路 1-1 c は、図 7 (b) と回路的にほぼ同等であるが、図 7 (b) ではオペアンプ 21 の入力接地電位 V_{ss} であったのに対し、

図7(c)では $-V_1$ の負電圧が供給されている点で異なる。従って、図7(c)では、オペアンプ21は、抵抗31の他端が負電圧 $-V_1$ となるように、nMOSトランジスタ51、52のゲートを制御する。nMOSトランジスタ51、52が同サイズ、pMOSトランジスタ41、42が同サイズである場合には、それらの全トランジスタには全て同一値の電流が流れるので、pMOSトランジスタ42は $I_d = (V_{dd} + V_1) / R$ の電流 I_d を出力する。

図7(d)の定電流発生回路1-1dは、主回路の2種以上の異なる動作電源電圧範囲毎に、目標飽和電流値 I_{ds} と主回路2の動作電源電圧値との関係が比例関係であり、且つ、この比例関係(1次関数の傾き)が各動作電源電圧範囲相互間で異なる回路例を示す。本回路の動作電源電圧と飽和電流との関係を図8(d)に示す。

図7(d)の定電流発生回路1-1dは、図7(b)の回路に加えて、抵抗値 R_1 、 R_2 ($R_1 < R_2$)を持つ2個の抵抗32、33と、2個のスイッチ61、62とが追加される。第1の動作電源電圧範囲が高電圧範囲の場合は、抵抗32側のスイッチ61のみをオンし、第2の動作電源電圧範囲が低電圧範囲の場合は、抵抗33側のスイッチ62のみをオンする動作を与える。従って、第1の動作電圧範囲の場合は、 $I_d = V_{dd} / R_1$ の定電流 I_d が、第2の動作電圧範囲の場合は、 $I_d = V_{dd} / R_2$ の定電流 I_d が得られる。 $R_1 < R_2$ であるので、図8(d)に示す特性が得られる。

以上説明した図7(a)～(d)に示した定電流発生回路1-1a～1-1dを図3の定電流発生回路1-1として与えることにより、図2(a)～(d)で示す様々な関係を実現することができる。

本発明では、MOSトランジスタの目標飽和電流値のばらつき割合を、実際飽和電流値のばらつき割合よりも小さくしなければ、意味をなさない。ところが、

半導体プロセスによって形成される抵抗は、一般にプロセスの出来栄によって20%程度ばらつくので、回路的工夫が必要となる。

図9(a)及び(b)は、目標飽和電流値 I_{ds} の絶対精度をより高めることが可能な調整回路を有する定電流発生回路を示す。

図9(a)は、抵抗値の絶対精度を高精度化することにより、出力電流を調整可能とする定電流発生回路の構成を示す。同図(a)は、図7(b)とほぼ同等であるが、抵抗34は可変抵抗となっている。この可変抵抗(調整回路)34は、係数 α を調整することで任意な抵抗値にすることができる。従って、pMOSトランジスタ42から出力する定電流 I_d は、 $I_d = V_{dd} / \alpha R$ となり、抵抗34の抵抗値 R 自体がばらついていても、係数 α を調整することにより、目標飽和電流値 I_d はより高精度化される。

また、図9(b)は、2個のpMOSトランジスタ41、42'のカレント比 A によって、定電流 I_d を調整可能とする定電流発生回路の構成を示す。2個のpMOSトランジスタ41、42'間のゲート幅 W のサイズ比は、 $1:A$ に設定されており、係数 A は調整可能である。従って、ゲート幅 W を調整可能なpMOSトランジスタ42'から出力する定電流値 I_d は、 $I_d = A \cdot V_{dd} / R$ となり、抵抗31の抵抗値 R 自体がばらついていても、係数 A を調整することにより、目標飽和電流値 I_d はより高精度化される。このカレント比 A を有する2個のpMOSトランジスタ41、42'により、定電流値のばらつきを小さくする調整回路90を構成する。

以上、電流-電圧変換回路1-3では、主回路2で使用するMOSトランジスタを用いて、そのMOSトランジスタの飽和電流値 I_{ds} を電圧変換する方法について説明したが、電流-電圧変換回路1-3を構成するMOSトランジスタに数mAの電流を流し続けるのは、電力的に不利であり、また、経時変化の面から也得策でない。本発明の電流-電圧変換回路に求められる特性は、所定の目標飽和電流

値を決定したときの主回路2のMOSトランジスタの基板-動作電源電圧 ($V_b - V_{dd}$) 特性と、電流-電圧変換回路の $V_b - V_d$ 特性とを、各種ばらつきに対して、ほぼ等しくすることが重要なコンセプトとなる。

図11 (a) 及び (b) は、電流-電圧変換回路1-3に求められる特性を示す。図11 (a) は、目標飽和電流 $I_{ds}(n)$ を一定とした場合に、主回路2を構成するnMOSトランジスタの基板電位 V_{bn} と動作電源電圧 V_{dd} との関係を示す。符号aは、既述した式3における、しきい値電圧 V_t が大、 μC_{ox} (W/L) が小、又は温度が高い際の特性を示し、符号bは前記式3における、しきい値電圧 V_t が中、 μC_{ox} (W/L) が中、又は温度が中の際の特性を示し、符号cは前記式3における、しきい値電圧 V_t が小、 μC_{ox} (W/L) が大、又は温度が低い際の特性を示している。所定値の動作電源電圧 V_{dd} に対しては、各種ばらつきに対し、基板電位 V_{bn} は、 $V^- \sim V^+$ の範囲で制御されなければならないことを示している。

図11 (b) は、目標飽和電流 I_{dn} を一定とした場合に、電流-電圧変換回路1-3が有するnMOSトランジスタの基板電位 V_{bn} と出力変換電圧 V_{dn} との関係を示しており、各種ばらつきに対して、図11 (a) と同等の特性が実現されていれば良い。すなわち、所定値の変換電圧 V_{dn} ($V_{dn} = V_{dd}$) では、各種ばらつきに対し、基板電位 V_{bn} は、 $V^- \sim V^+$ の範囲で制御されていれば良い。

以上のことから、電流-電圧変換回路1-3は、図10 (b) 及び (c) に示す構成に置換することも可能である。

図10 (a) は、図5に示した電流-電圧変換回路1n-3を再掲している。この図10 (a) の回路構成、つまり、図11 (a) に示す各種ばらつきに対する $V_{bn} - V_{dn}$ 特性をほぼ実現できる構成であれば、電流-電圧変換回路1-3は、

如何なる構成であっても良い。

MOSトランジスタの飽和電流特性は、式3で示すように、値 (W/L) にも依存する。従って、動作電源電圧 V_{dd} を一定値としたときの目標飽和電流値 I_{ds} は、本来の目標飽和電流値が $I_{ds}(n)$ であった場合に、電流-電圧変換回路1n-3のMOSトランジスタのゲート長 L を本来の $0.13\mu m$ から $1.3\mu m$ へと10倍とすることにより、 $I_{ds} = (1/10) I_{ds}(n)$ としても、電流-電圧変換回路1n-3の $V_{bn}-V_{dn}$ 特性に変化はなく、代用可能である。但し、 (W/L) のばらつきに対する相対精度が異なるので、図10(b)に示すように、 $3\mu m/0.13\mu m$ のサイズのnMOSトランジスタ71~74...を10段多段積みする構成として、実効的なゲート長 L を $L = 1.3\mu m$ とした方が、特性的に望ましい。実際には、電流密度の違いから移動度 μ が異なってくるため、図10(a)の裸特性に対して特性的違いが生じる場合がある。この場合は、図10(c)に示すように、抵抗35を挿入することにより、特性をほぼ一致させることが可能となる。

次に、pMOSトランジスタ用の基板電位制御回路の電流-電圧変換回路の各種回路構成例を図12(b)、(c)に示す。これらは、pMOSトランジスタ81~84...を10段多段積みした構成を有する。これらの図は、既述した図10(b)、(c)と同様の振る舞いであるので、ここでは、詳細説明を省略する。

(第2の実施の形態)

次に、本発明の第2の実施の形態の半導体集積回路を説明する。

図15は、本実施の形態の半導体集積回路の概略構成を示す。前記図1に示した第1の実施の形態では、基板電位制御回路1を設けて、前記式2に示す遅延時間 τ を決定するMOSトランジスタの飽和電流値 I_{ds} のばらつきそのものを、MOSトランジスタの基板電位制御により抑制したが、本実施の形態では、この飽和電流値 I_{ds} のばらつきを、主回路2に与える動作電源電圧 V_{dd} の制御に

より抑制するものである。

すなわち、図15において、10は電源電圧制御回路であって、主回路2に含まれるMOSトランジスタの目標飽和電流値 I_{ds} の情報が与えられている。前記電源電圧制御回路10は、主回路2内のMOSトランジスタの実際飽和電流が、前記与えられた目標飽和電流値 I_{ds} となるように、主回路2の動作電源電圧 V_{dd} を制御する。主回路2は、例えば既述した図4の内部構成を持つ。

図16は、前記電源電圧制御回路10の具体的な構成例を示す。図16に示した半導体集積回路は、図15と同様に、電源電圧制御回路10と、主回路2とを備える。前記電源電圧制御回路10は、定電流発生回路10-1と、電源電圧発生回路10-2と、電流-電圧変換回路10-3とを備える。定電流発生回路10-1は、目標飽和電流値 I_{ds} に等しい定電流 I_{ds} を出力し、この定電流 I_{ds} は電流-電圧変換回路10-3に入力される。この電流-電圧変換回路10-3は、定電流発生回路10-1からの定電流 I_{ds} を電圧 V_d に変換して、参照電圧として電源電圧発生回路10-2に出力する。電源電圧発生回路10-2は、前記電流-電圧変換回路10-3からの参照電圧 V_d と同電圧値の電圧を低インピーダンス化して動作電源電圧 V_{dd} として出力する。前記電源電圧発生回路10-2が発生した動作電源電圧 V_{dd} は、主回路2に供給される。

従って、本実施の形態では、電源電圧制御回路10が主回路2の動作電源電圧 V_{dd} を制御して、主回路2内のMOSトランジスタの実際飽和電流値を常に目標飽和電流値 I_{ds} にするので、主回路2内のMOSトランジスタの製造プロセスのばらつきによりMOSトランジスタの移動度やしきい値電圧 V_t がばらついたり、温度変動が生じて、主回路2のMOSトランジスタの動作速度のばらつきが有効に抑制される。

図17は、前記電源電圧制御回路10の具体的構成を示す。同図に示した電源電圧制御回路10nは、定電流源（定電圧発生回路）10n-1と、nMOSトランジスタ13n-1で構成された電流-電圧変換回路10n-3と、オペアンプで構成された電源電圧発生回路10n-2とにより構成される。前記電流-電圧変換回路10n-3を構成するnMOSトランジスタ13n-1は、主回路2に備えるnMOSトランジスタ（図示せず）と同一特性を持つトランジスタで構成される。前記定電流源10n-1からの目標飽和電流値 I_{ds} に等しい定電流 I_{dn} は、電流-電圧変換回路10n-3により電圧 V_{dn} に変換され、電源電圧発生回路10n-2は、この電圧 V_{dn} と同電圧値の電圧を低インピーダンス化して動作電源電圧 V_{dd} として主回路2に供給する。この電源電圧制御回路10nは、電流-電圧変換回路10n-3がnMOSトランジスタ13n-1で構成されるので、主回路2を構成するMOSトランジスタのうちnMOSトランジスタの駆動能力に起因してクリティカルパスが構成される場合に、特に有効な構成である。

図18は、前記図16に示した電源電圧制御回路10の他の具体的構成を示し、特に、主回路2を構成するMOSトランジスタのうちpMOSトランジスタの駆動能力に起因してクリティカルパスが構成される場合に、有効な構成である。

すなわち、図18に示した電源電圧制御回路10pでは、電流-電圧変換回路10p-3が、主回路2に備えるpMOSトランジスタ（図示せず）と同一特性を持つpMOSトランジスタ13p-1で構成される。その他の構成は、図17に示した電源電圧制御回路10nと同一構成であるので、同一部分に同一の符号に添符号pを付してその説明を省略する。

また、図19は、前記図16に示した電源電圧制御回路10の更に他の具体的構成を示し、特に、主回路2を構成するMOSトランジスタのうちnMOSトランジスタ及びpMOSトランジスタの両駆動能力に起因してクリティカルパスが

構成される場合に、有効な構成である。

すなわち、図19に示した電源電圧制御回路10pでは、電流-電圧変換回路10np-3が、主回路2に備えるnMOS及びpMOSトランジスタ（図示せず）と同一特性を持つnMOS及びpMOSの2個のトランジスタ13n-1、13p-1の並列回路で構成される。この場合には、定電流源10np-1が供給する定電流 I_{dnp} は、nMOSトランジスタの目標飽和電流 I_{dsn} に等しい定電流 I_{dn} と、pMOSトランジスタの目標飽和電流 I_{dsp} に等しい定電流 I_{dp} との合計値であり、この場合の目標飽和電流値 I_{ds} は、前記nMOS及びpMOSトランジスタ13n-1、13p-1の両目標飽和電流 I_{dsn} 、 I_{dsp} の平均値となる。その他の構成は、図17に示した電源電圧制御回路10nと同一構成であるので、同一部分に同一の符号に添符号npを付してその説明を省略する。

前記図17～図19に示した定電流源10n-1、10p-1、10np-1の内部構成は、例えば、既述した図7（b）又は同図（c）の構成を採用できる。これ等の内部構成では、図8（b）及び（c）に示した通り、供給する定電流値 I_d と主回路2の動作電源電圧 V_{dd} との関係を一次関数とすることができる。このように一次関数の関係にすれば、前記式2及び式5から判るように、遅延時間 τ は、主回路2のMOSトランジスタのしきい値電圧の変動を含む特性ばらつきや温度変動、又は主回路2の動作電源電圧 V_{dd} に依存せずに、所定値に固定され、主回路2の動作速度は一定値になる。従って、前記MOSトランジスタの特性ばらつきや温度変動等に対して少ないマージン設計が可能となるので、設計の容易化や出荷製品の高歩留まり化が図られる。更に、少ないマージン設計が可能となるのに伴い、主回路2の動作電源電圧 V_{dd} は、小さな電源マージンを考慮した電圧に設定されるので、従来のようにMOSトランジスタの製造プロセスのばらつき等を考慮した大きなマージンを考慮した高電圧に設定しておく必要がな

く、主回路2をより一層低い動作電源電圧 V_{dd} で動作させることができ、低消費電力化も可能である。

更に、前記定電流源 $10n-1$ 、 $10p-1$ 、 $10np-1$ の内部構成は、例えば、既述した図7(d)又は図9(a)、(b)の構成をも採用できる。これ等の内部構成では、図8(d)に示した通り、主回路2を構成するMOSトランジスタの目標飽和電流値 I_{ds} と主回路2の各動作モードに対応する各動作電源電圧範囲での動作電源電圧 V_{dd} との関係を一次関数の関係とし、且つ、その各一次関数の傾きが主回路2の動作電源電圧範囲相互間で異なる関係とすることができる。この場合には、主回路2の各動作モード毎に、小さな電源マージンのみを考慮した動作電源電圧 V_{dd} とすることができるので、主回路2の低電圧動作が全ての動作モードで可能となり、より一層の低消費電力化が可能である。

産業上の利用可能性

以上説明したように、本発明は、主回路を構成するMOSトランジスタの実際飽和電流値を目標飽和電流値に制御したので、MOSトランジスタのしきい値電圧や単位面積当たりのゲート容量、 W/L 比などの製造プロセスのばらつきや、周囲温度の変化に拘わらず、主回路の動作ばらつきを小さく抑制でき、歩留まりの向上や動作速度仕様の向上を図る半導体集積回路等として、有用である。

請求の範囲

1. ソース電位と基板電位とが分離されたMOS構造の複数のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、

前記主回路を構成する各MOSトランジスタの基板電位を制御する基板電位制御回路とを備え、

前記基板電位制御回路は、

前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの目標飽和電流値が設定され、

前記主回路の前記動作電源電圧値の下での前記MOSトランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路の各MOSトランジスタの基板電位を制御する

ことを特徴とする半導体集積回路。

2. 請求項1記載の半導体集積回路において、

前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にある

ことを特徴とする半導体集積回路。

3. 請求項1記載の半導体集積回路において、

前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、

前記主回路のMOSトランジスタの目標飽和電流値は、前記動作電圧範囲内の動作電源電圧値と1次関数の関係にある

ことを特徴とする半導体集積回路。

4. 請求項 1 記載の半導体集積回路において、
前記主回路は、複数の動作電源電圧範囲を持ち、
前記主回路の MOS トランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と 1 次関数の関係にあり、
前記目標飽和電流値と動作電源電圧値との 1 次関数の関係は、各動作電源電圧範囲毎に、相互に異なる
ことを特徴とする半導体集積回路。

5. 請求項 1 記載の半導体集積回路において、
前記基板電位制御回路は、
前記主回路を構成する MOS トランジスタのうち、nMOS トランジスタの基板電位又は pMOS トランジスタの基板電位を制御する
ことを特徴とする半導体集積回路。

6. ソース電位と基板電位とが分離された MOS 構造の複数個のトランジスタにより構成され、所定動作電源電圧を受けて動作する主回路と、
前記主回路の前記動作電源電圧値の下での前記 MOS トランジスタの実際飽和電流値が目標飽和電流値と一致するように、前記主回路を構成する各 MOS トランジスタの基板電位を制御する基板電位制御回路とを備え、
前記基板電位制御回路は、
定電流発生回路と、
MOS トランジスタを内蔵し、前記内蔵 MOS トランジスタの基板電位に応じて変化する電流-電圧変換特性を有し、前記定電流発生回路の定電流値を電圧値に変換する電流-電圧変換回路と、
前記電流-電圧変換回路により変換された電圧値が、前記主回路の所定動作電源電圧値に等しくなるように、前記電流-電圧変換回路の基板電位を制御する差動増

幅回路とを備えて、

前記主回路を構成する各MOSトランジスタの基板電位を、前記差動増幅回路により制御された前記電流-電圧変換回路の基板電位と等しくなるように制御することを特徴とする半導体集積回路。

7. 請求項6記載の半導体集積回路において、
前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、
前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と比例関係にある

ことを特徴とする半導体集積回路。

8. 請求項6記載の半導体集積回路において、
前記主回路の所定動作電源電圧が所定の動作電圧範囲内で変動する場合に、
前記定電流発生回路の定電流値は、前記動作電圧範囲内の動作電源電圧値と1次関数の関係にある

ことを特徴とする半導体集積回路。

9. 請求項6記載の半導体集積回路において、
前記主回路は、複数の動作電源電圧範囲を持ち、
前記定電流発生回路の定電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、

前記定電流発生回路の定電流値と動作電源電圧値との1次関数の関係は、各動作電源電圧範囲毎に、相互に異なる

ことを特徴とする半導体集積回路。

10. 請求項6記載の半導体集積回路において、

前記定電流発生回路は、複数種類の定電流値を発生し、この複数種類の定電流値の中から1つを選択して出力する

ことを特徴とする半導体集積回路。

11. 請求項6記載の半導体集積回路において、

前記定電流発生回路は、

前記主回路を構成するMOSトランジスタの実際飽和電流値のばらつき割合よりも小さいばらつき割合で、定電流を発生する

ことを特徴とする半導体集積回路。

12. 請求項11記載の半導体集積回路において、

前記定電流発生回路は、

発生する定電流値のばらつきを小さくする調整回路を備える

ことを特徴とする半導体集積回路。

13. MOS構造の複数個のトランジスタにより構成され、動作電源電圧を受けて動作する主回路と、

前記主回路に与える動作電源電圧を制御する電源電圧制御回路とを備え、

前記電源電圧制御回路は、

前記主回路のMOSトランジスタの目標飽和電流値が設定され、

前記主回路のMOSトランジスタの実際飽和電流値が、前記目標飽和電流値と一致するように、前記主回路に与える動作電源電圧の電圧値を制御する

ことを特徴とする半導体集積回路。

14. 請求項13記載の半導体集積回路において、

前記主回路のMOSトランジスタの目標飽和電流値は、

前記主回路を構成するMOSトランジスタのうち、nMOSトランジスタの目標飽和電流値、pMOSトランジスタの目標飽和電流値、又はこのnMOS及びpMOSトランジスタの両目標飽和電流値の平均値であることを特徴とする半導体集積回路。

15. 請求項13又は14記載の半導体集積回路において、
前記主回路のMOSトランジスタの目標飽和電流値は、
前記主回路に与える動作電源電圧と1次関係にある
ことを特徴とする半導体集積回路。

16. 請求項13又は14記載の半導体集積回路において、
前記主回路は、複数の動作電源電圧範囲を持ち、
前記主回路のMOSトランジスタの目標飽和電流値は、前記主回路の各動作電源電圧範囲毎に、動作電圧範囲内の動作電源電圧値と1次関数の関係にあり、
前記目標飽和電流値と動作電源電圧値との1次関数の関係は、各動作電源電圧範囲毎に、相互に異なる
ことを特徴とする半導体集積回路。

FIG. 1

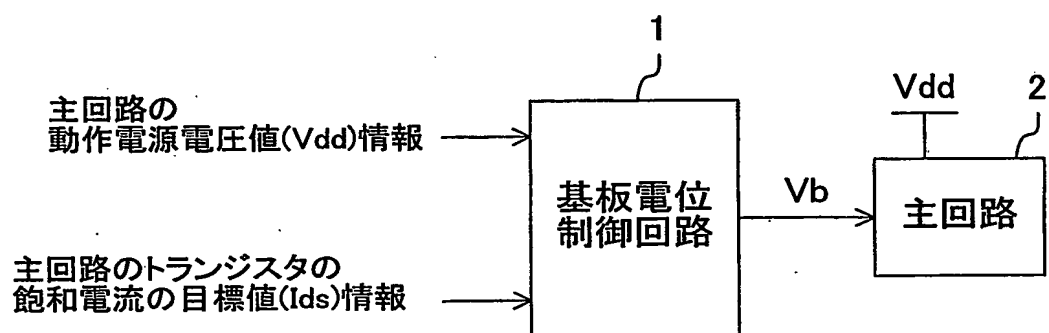
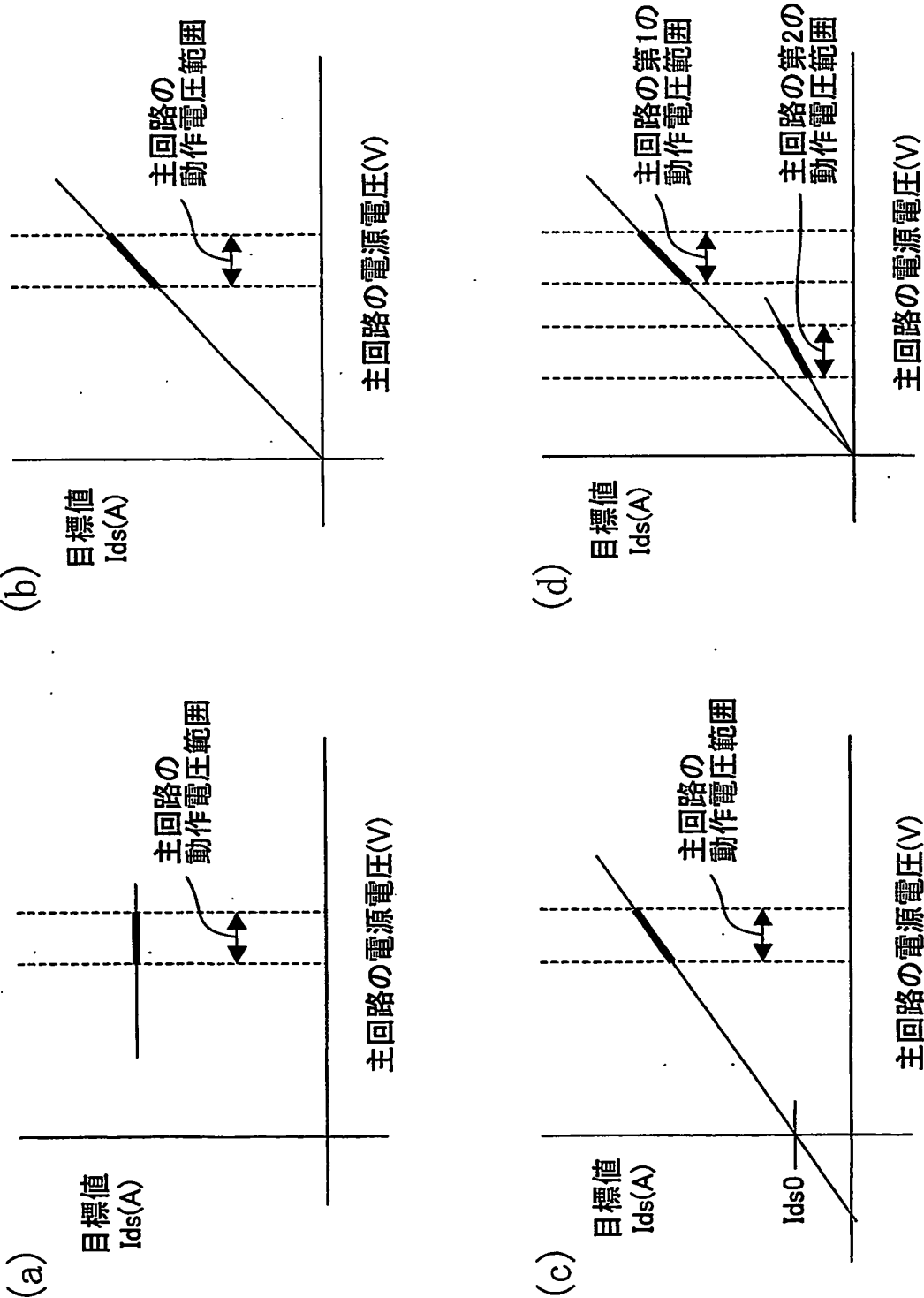


FIG. 2



3/18

FIG. 3

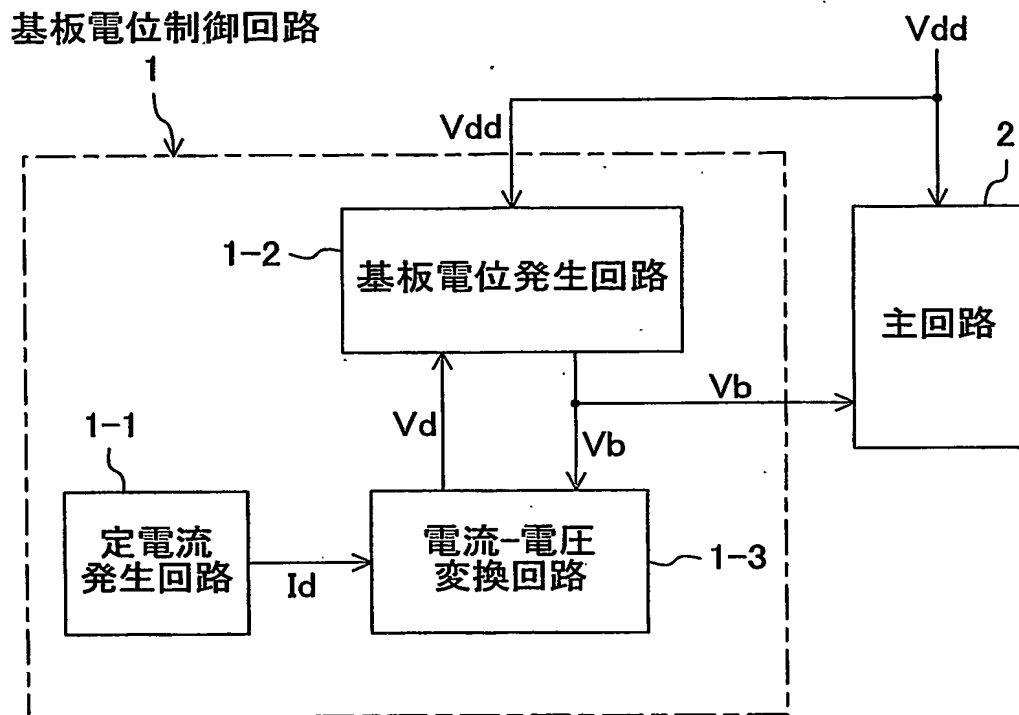
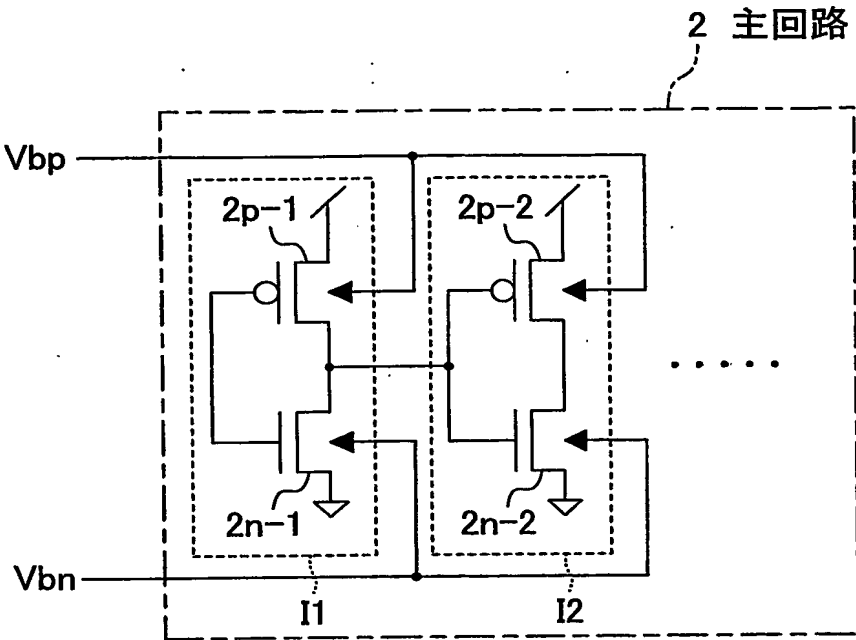


FIG. 4



5/18

FIG. 5

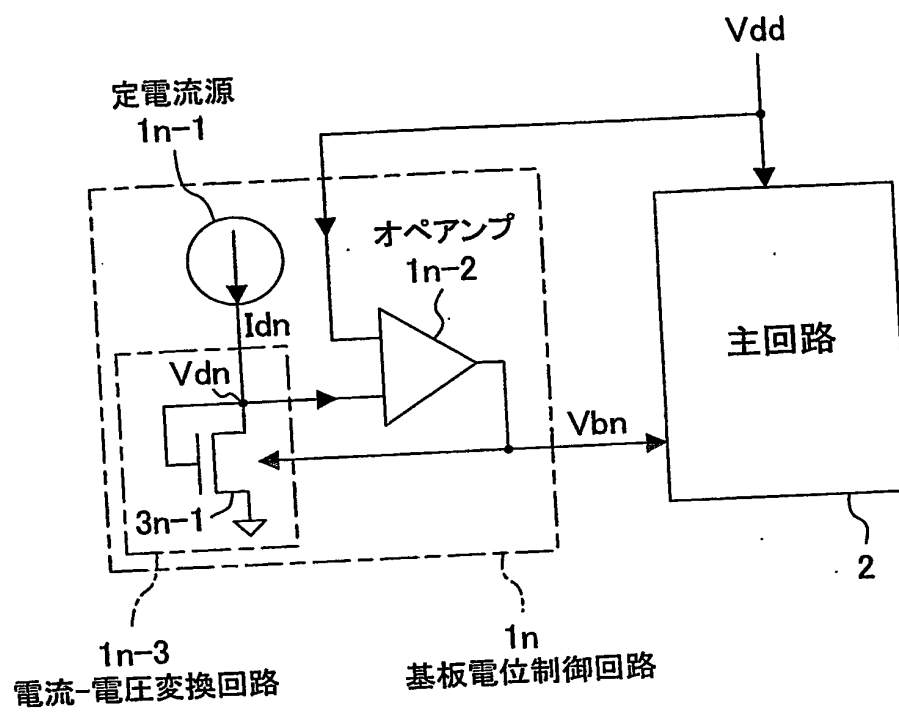
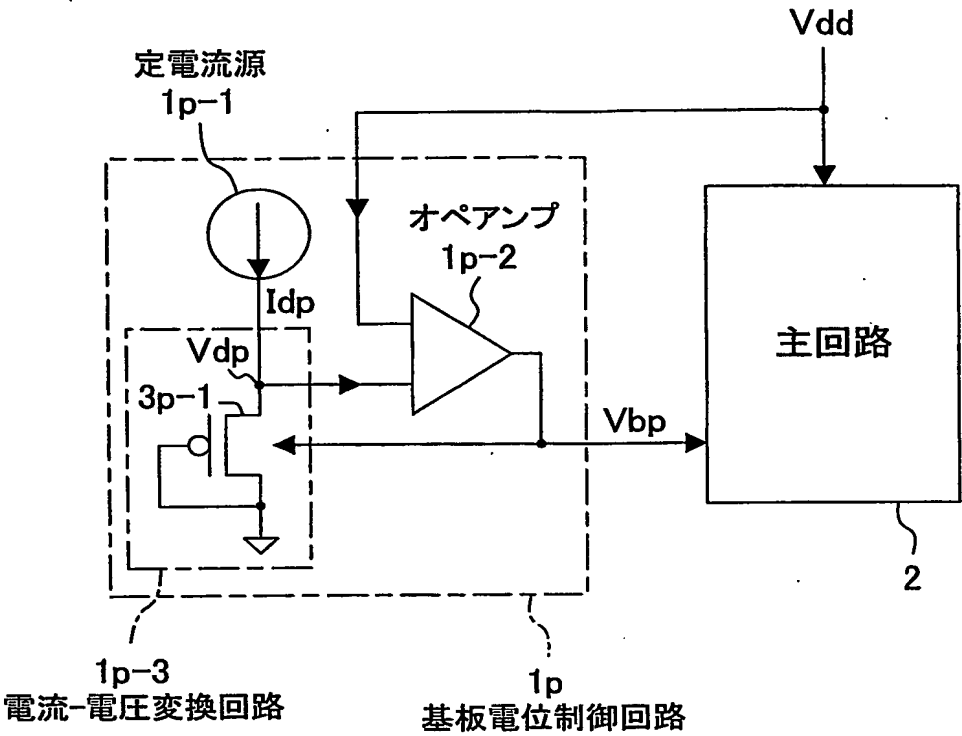


FIG. 6



7/18

FIG. 7

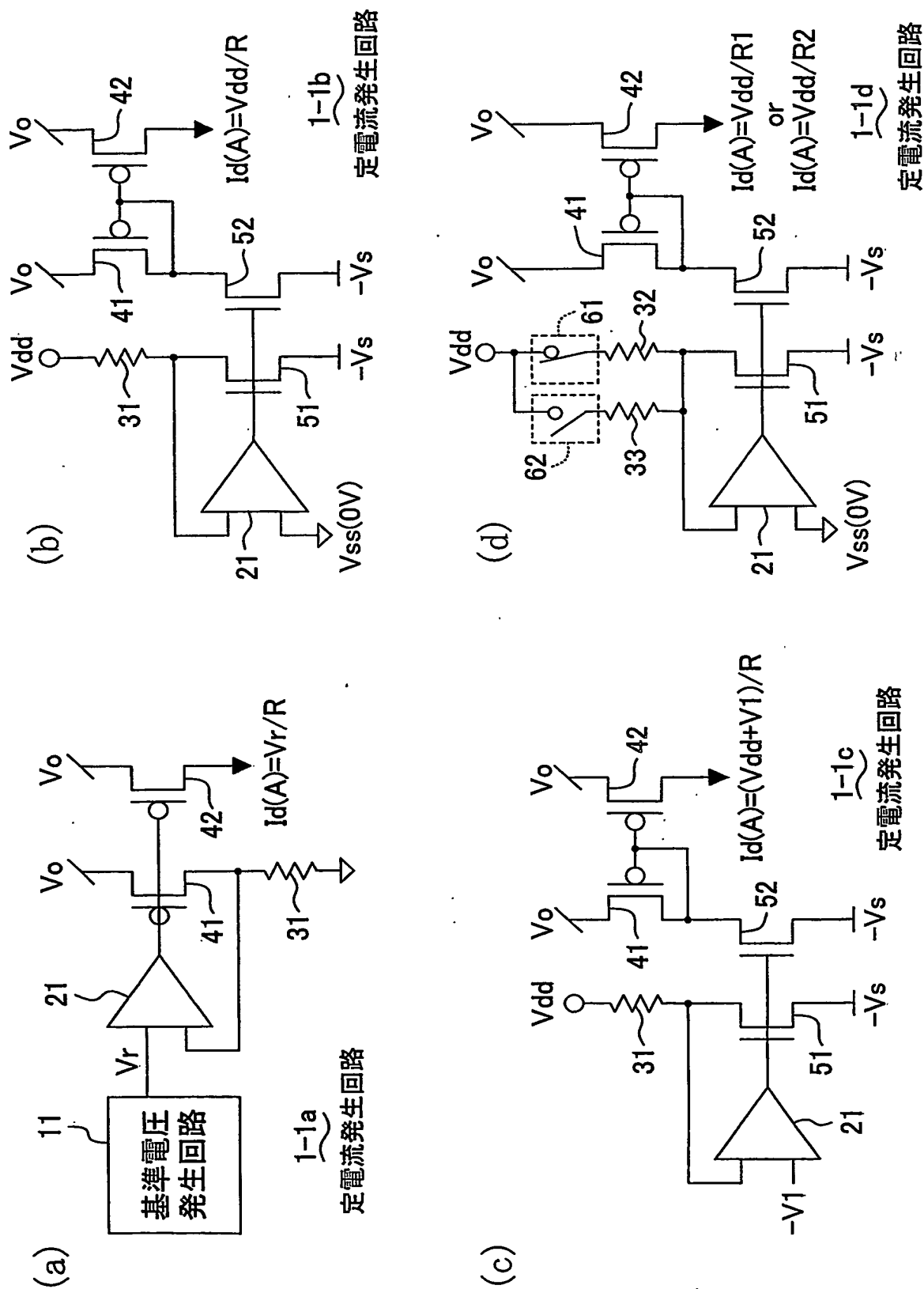
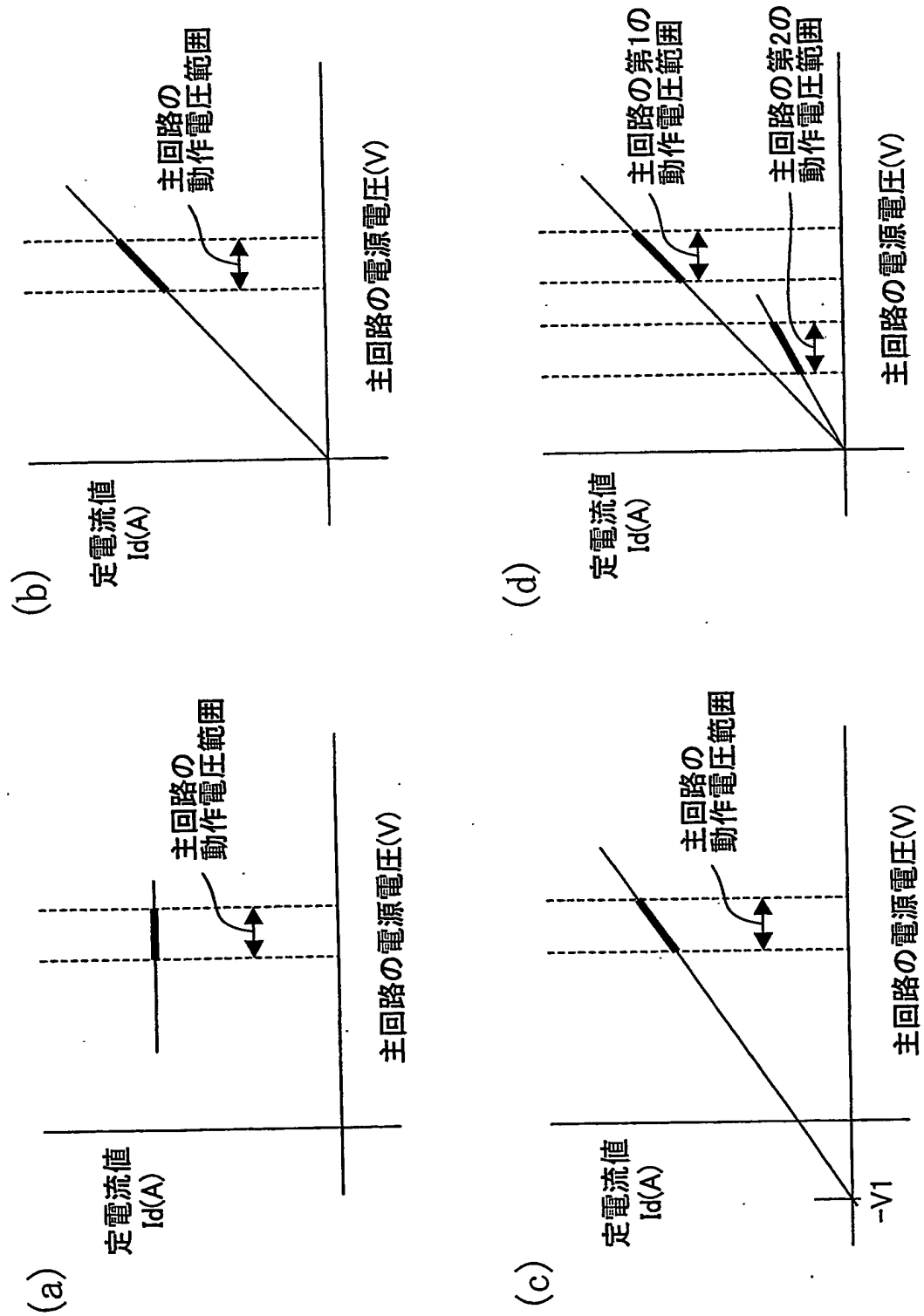


FIG. 8



9/18

FIG. 9

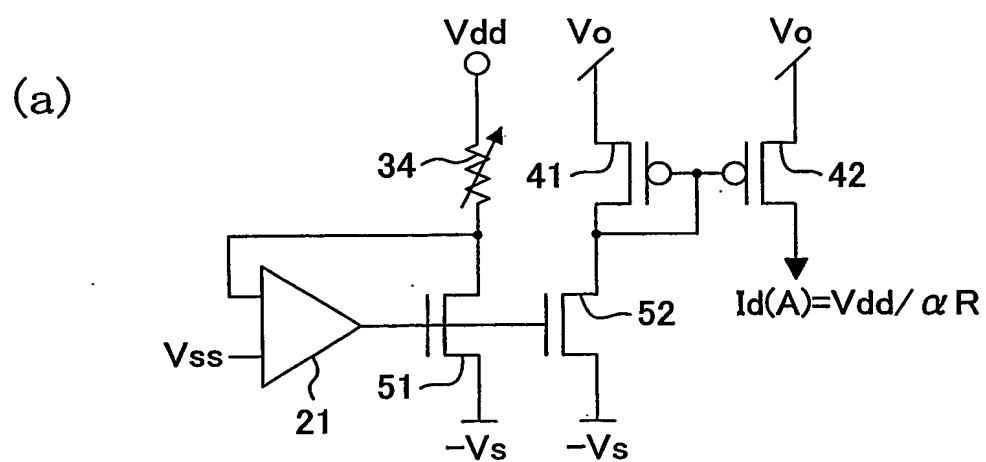


FIG. 10

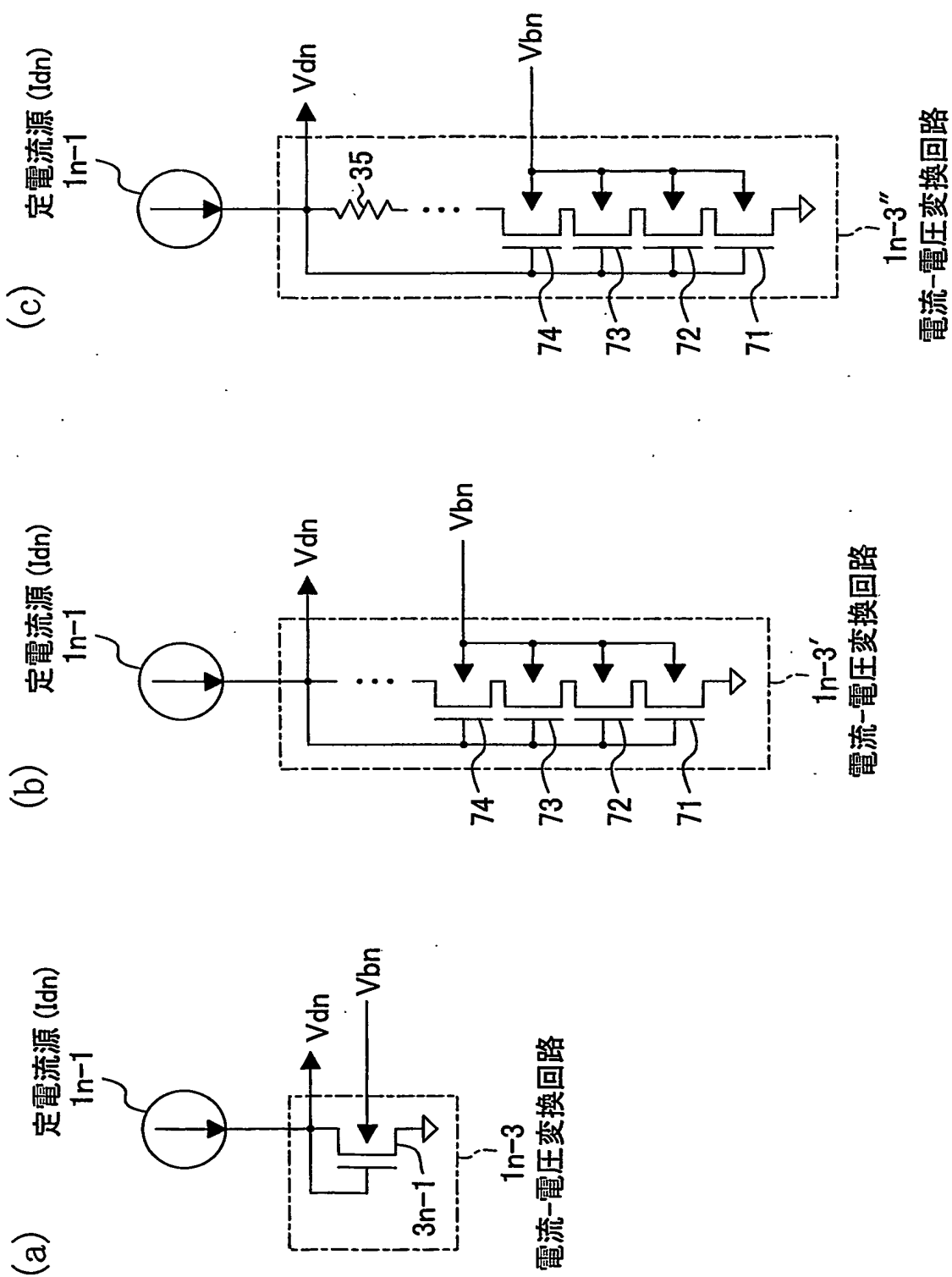
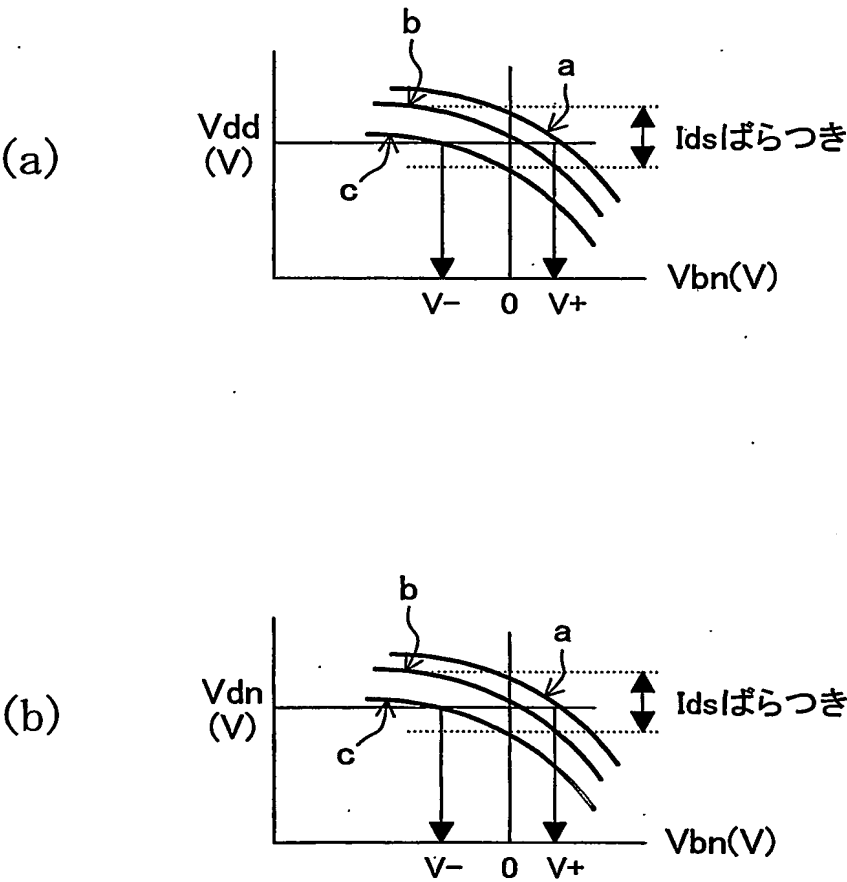


FIG. 11



12/18

FIG. 12

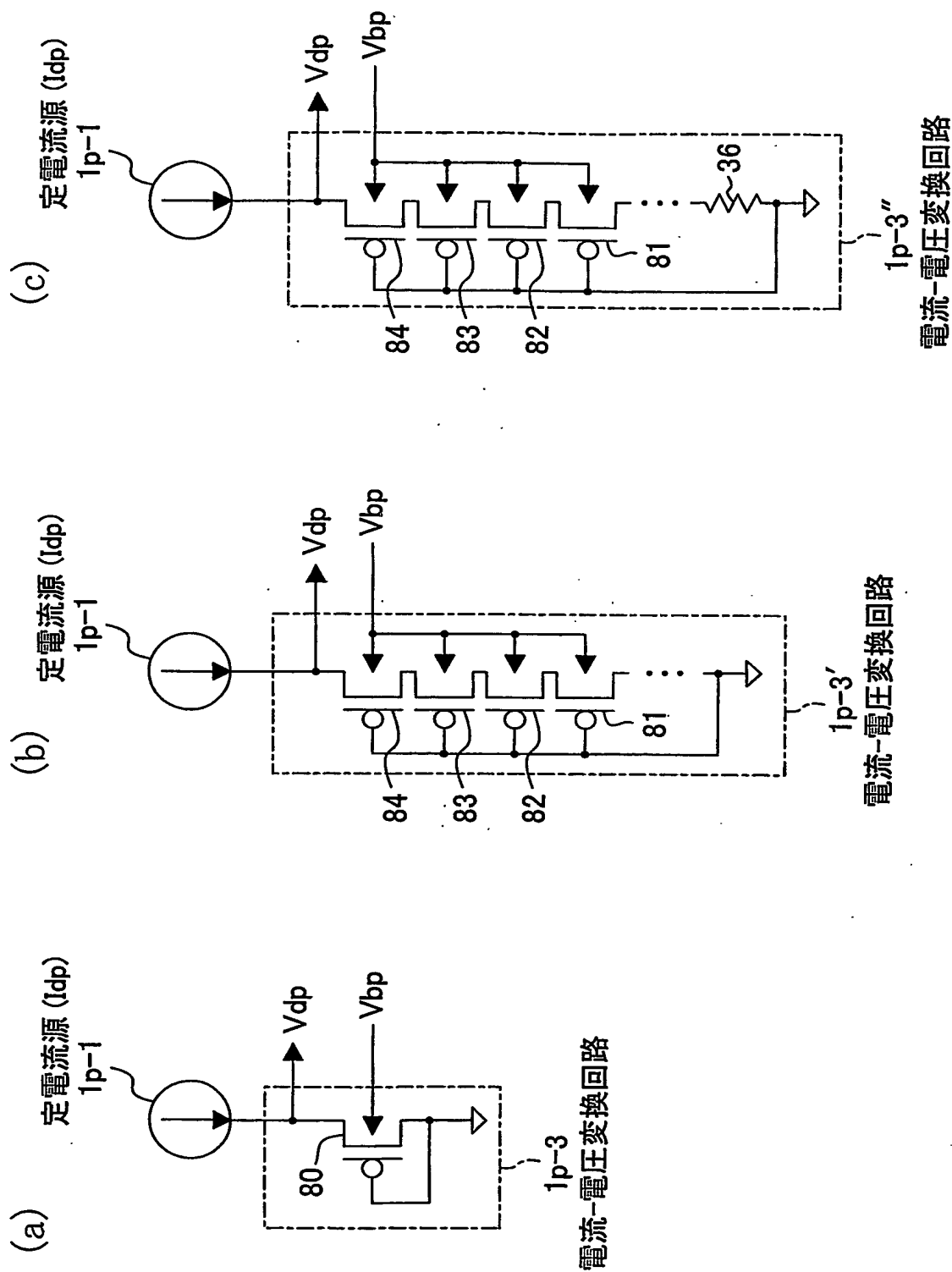
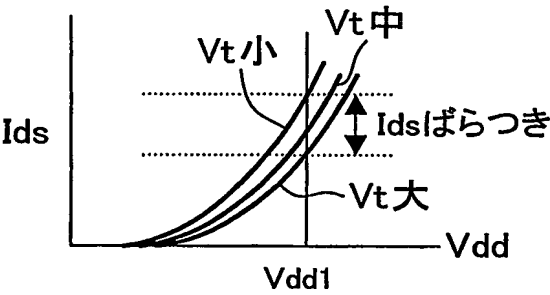
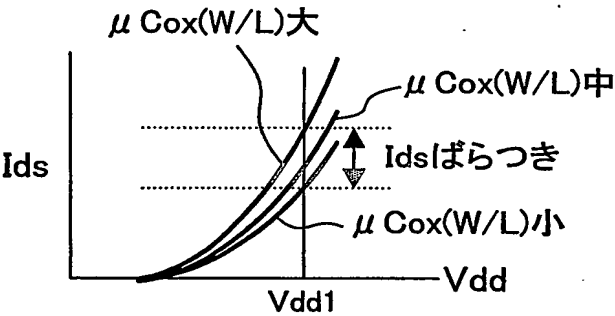


FIG. 13

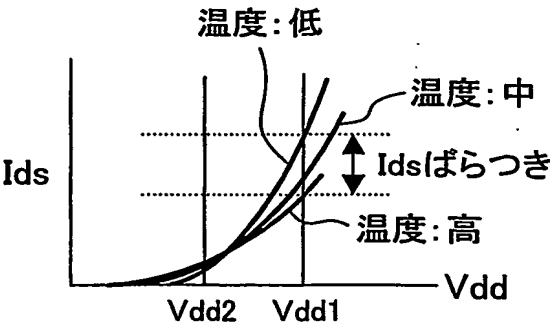
(a)



(b)



(c)



14/18

FIG. 14

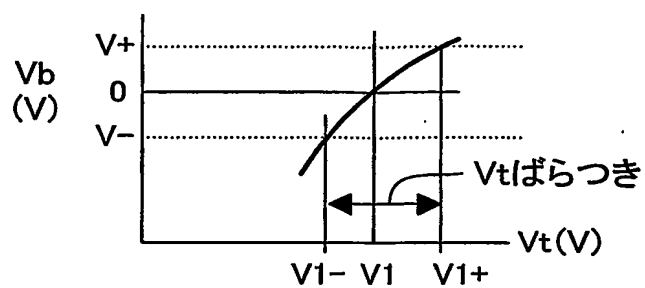


FIG. 15

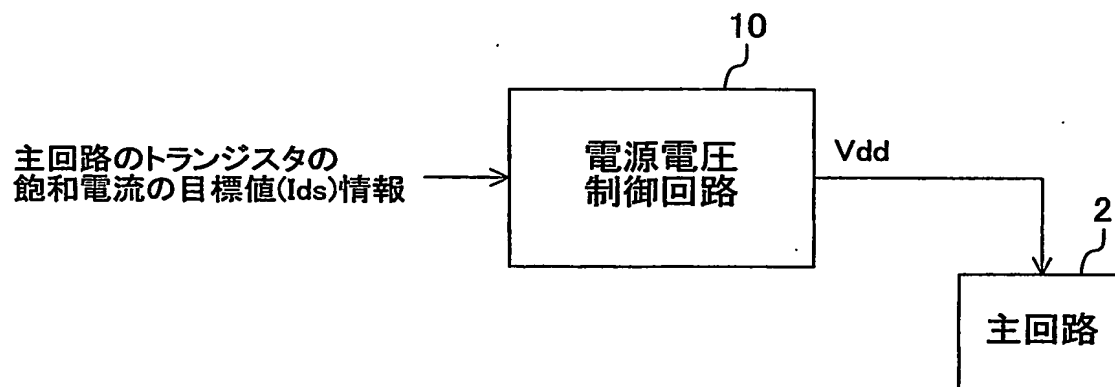
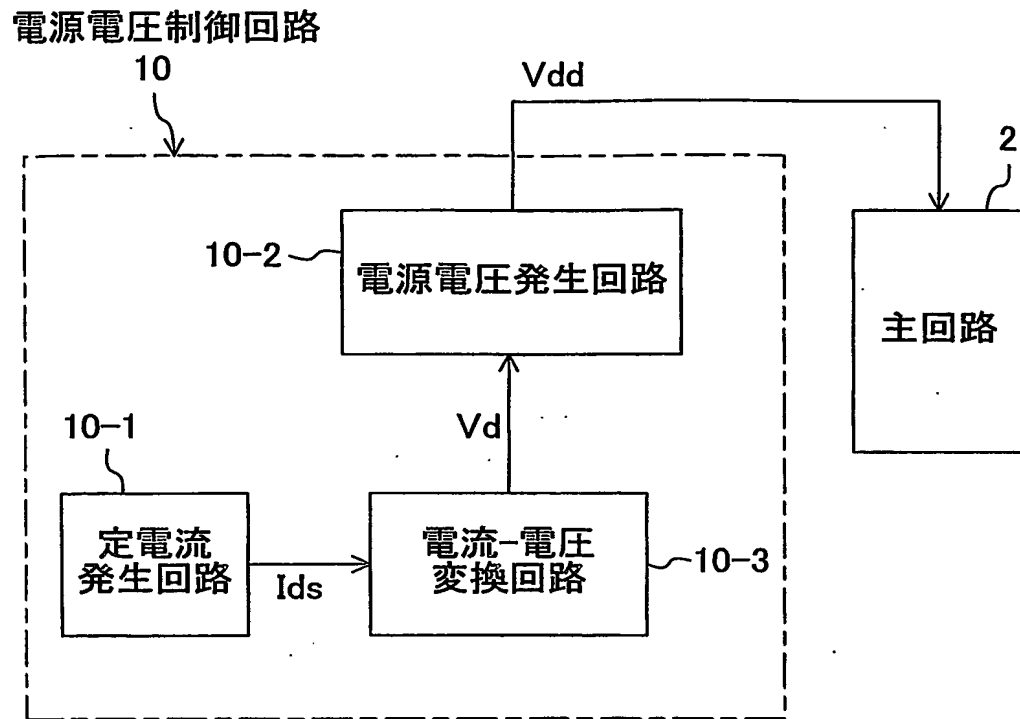
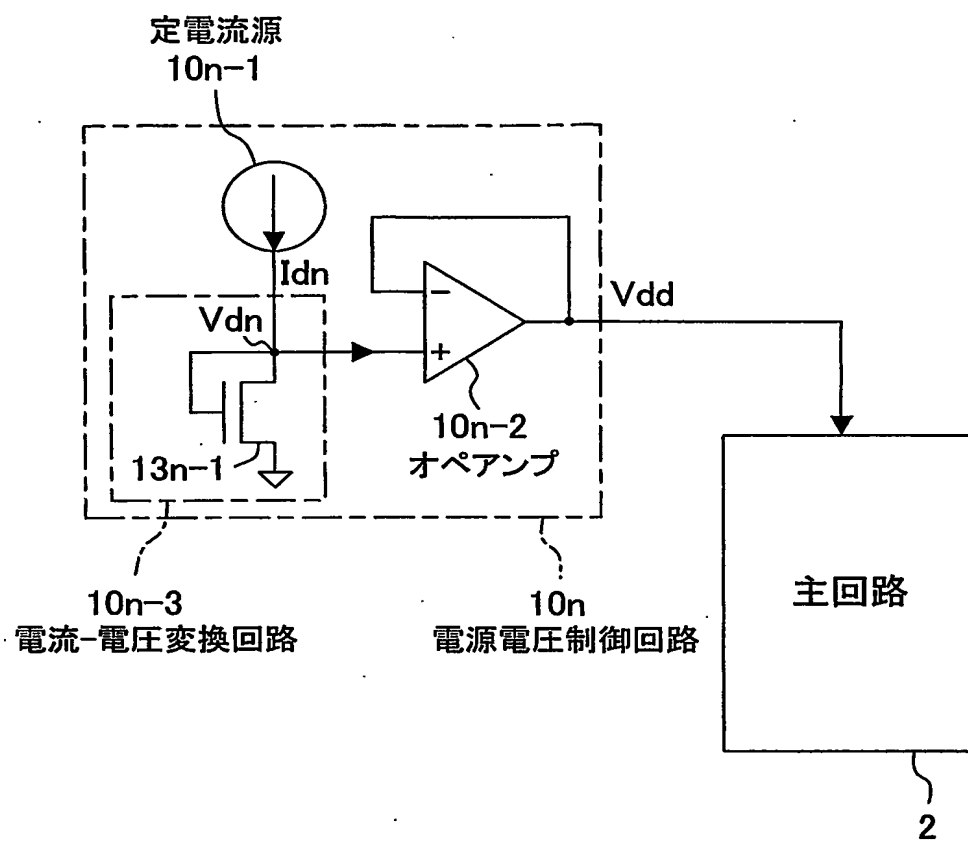


FIG. 16



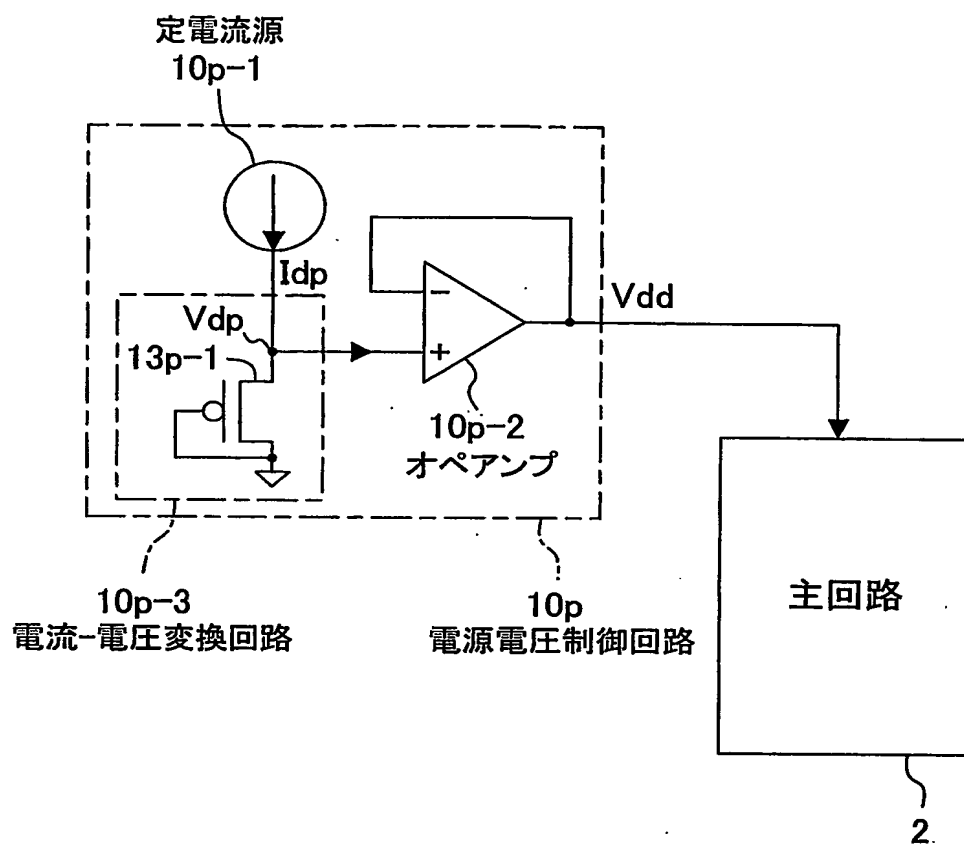
16/18

FIG. 17



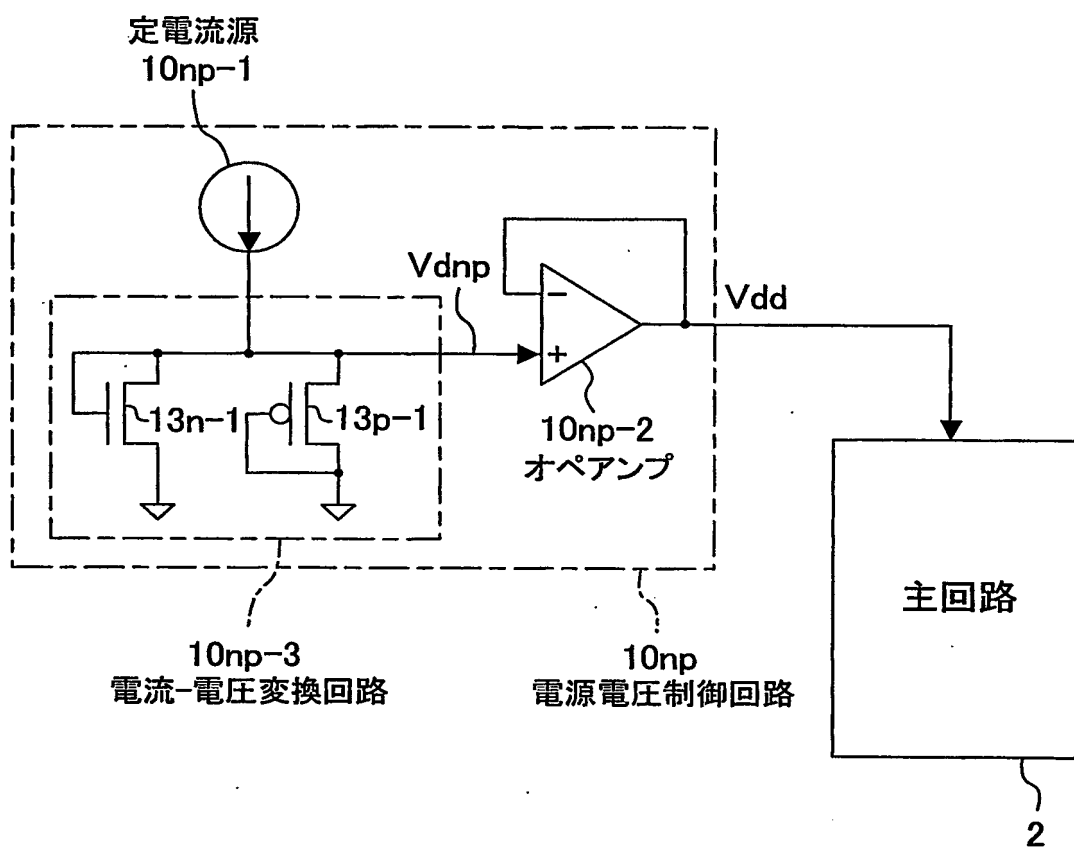
17/18

FIG. 18



18/18

FIG. 19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001942

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K17/687, H03K19/094, H01L27/088

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K17/687, H03K19/094, H01L27/088

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-330921 A (Advantest Corp.), 13 December, 1996 (13.12.96), Fig. 3 (Family: none)	1-16
A	JP 2001-217692 A (Toshiba Corp.), 10 August, 2001 (10.08.01), Fig. 1 (Family: none)	1-16
A	JP 09-129831 A (Fujitsu Ltd.), 16 May, 1997 (16.05.97), Fig. 1 (Family: none)	1-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 May, 2004 (25.05.04)

Date of mailing of the international search report
08 June, 2004 (08.06.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl.⁷ H03K17/687, H03K19/094, H01L27/088

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl.⁷ H03K17/687, H03K19/094, H01L27/088

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2004年
日本国登録実用新案公報 1994-2004年
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 08-330921 A (株式会社アドバンテスト)、1996. 12. 13、図3 (ファミリー無し)	1~16
A	JP 2001-217692 A (株式会社東芝)、2001. 08. 10、図1 (ファミリー無し)	1~16
A	JP 09-129831 A (富士通株式会社)、1997. 05. 16、図1 (ファミリー無し)	1~16

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

25. 05. 2004

国際調査報告の発送日

08. 6. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井 研一

5 X

8 1 2 4

電話番号 03-3581-1101 内線 3596